

SIGNAL LINE DRIVE CIRCUIT AND LIGHT EMITTING DEVICE

Publication number: WO03038796

Publication date: 2003-05-08

Inventor: KIMURA HAJIME (JP)

Applicant: SEMICONDUCTOR ENERGY LAB (JP); KIMURA HAJIME (JP)

Classification:

- International: **G09G3/32; G09G3/32**; (IPC1-7): G09G3/30; G05F1/10; G09G3/20

- european: G09G3/32A

Application number: WO2002JP11354 20021031

Priority number(s): JP20010335917 20011031; JP20020287921 20020930

Also published as:

EP1463026 (A1)
WO03038796 (A1)
US2006103610 (A)
US2004085029 (A)
CN1608280 (A)

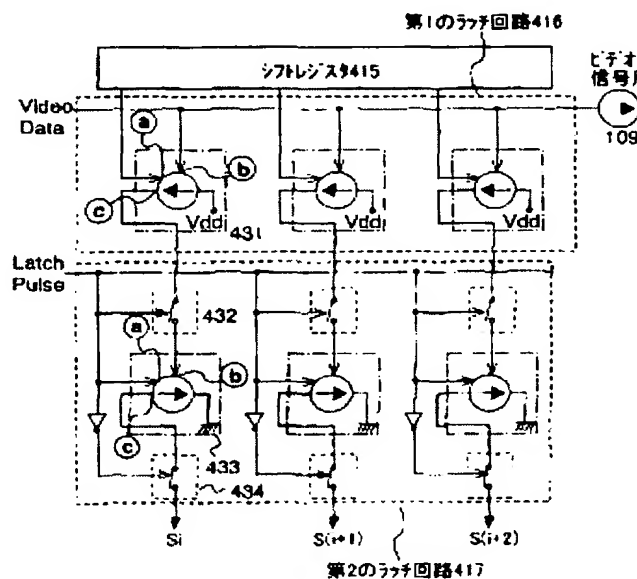
Cited documents:

JP8106075
JP2000122607
JP2000081920
JP62122488U
JP11282419
more >>

Report a data error he

Abstract of WO03038796

A technique for suppressing affect of irregularities of transistor characteristics in a signal line drive circuit. The signal line drive circuit includes a first current source circuit 431 arranged in a first latch 416 and a second current source circuit 432 arranged in a second latch 417, so as to correspond to each of signal lines. The first current source circuit has capacity means for converting the video signal current supplied from a video signal constant current source 109 into voltage according to the sampling pulse supplied from the shift register 415 and supply means for supplying current based on the converted voltage. The second current source circuit has capacity means for converting current supplied from the first latch into voltage and supply means for supplying current based on the converted voltage. Thus, current output is performed according to a video signal, not depending on the transistor characteristic.



415 SHIFT REGISTER
416 FIRST LATCH CIRCUIT
109 FOR VIDEO SIGNAL
417 SECOND LATCH CIRCUIT

Data supplied from the esp@cenet database - Worldwide

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 5 月 8 日 (08.05.2003)

PCT

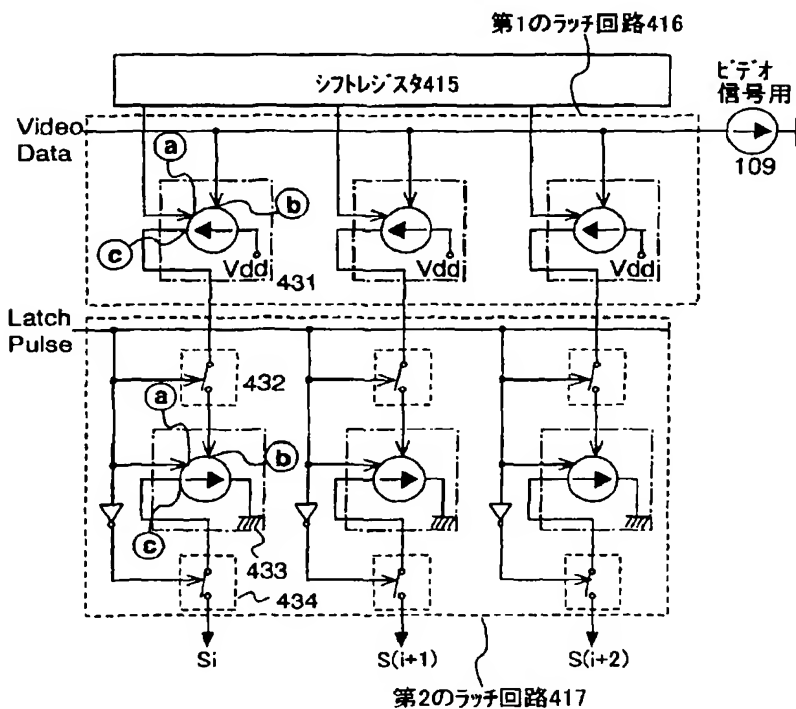
(10) 国際公開番号
WO 03/038796 A1

- (51) 国際特許分類: G09G 3/30, 3/20, G05F 1/10 (71) 出願人 (米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP02/11354 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 木村 肇 (KIMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (22) 国際出願日: 2002 年 10 月 31 日 (31.10.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-335917
2001 年 10 月 31 日 (31.10.2001) JP
特願 2002-287921 2002 年 9 月 30 日 (30.09.2002) JP
- (74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京都 新宿区 神楽坂 6-4 2 喜多川ビル 7 階 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT AND LIGHT EMITTING DEVICE

(54) 発明の名称: 信号線駆動回路及び発光装置



(57) Abstract: A technique for suppressing affect of irregularities of transistor characteristics in a signal line drive circuit. The signal line drive circuit includes a first current source circuit (431) arranged in a first latch (416) and a second current source circuit (432) arranged in a second latch (417), so as to correspond to each of signal lines. The first current source circuit has capacity means for converting the video signal current supplied from a video signal constant current source (109) into voltage according to the sampling pulse supplied from the shift register (415) and supply means for supplying current based on the converted voltage. The second current source circuit has capacity means for converting current supplied from the first latch into voltage and supply means for supplying current based on the converted voltage. Thus, current output is performed according to a video signal, not depending on the transistor characteristic.

415...SHIFT REGISTER
416...FIRST LATCH CIRCUIT
109...FOR VIDEO SIGNAL
417...SECOND LATCH CIRCUIT

[続葉有]



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特

許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、信号線駆動回路におけるトランジスタの特性のばらつきの影響を抑制する技術に関する。信号線駆動回路には、複数の信号線の各々に対応して、第1ラッチ(416)に配置される第1電流源回路(431)、第2ラッチ(417)に配置される第2電流源回路(432)を設ける。前記第1電流源回路は、シフトレジスタ(415)から供給されるサンプリングパルスに従って、ビデオ信号用定電流源(109)から供給されたビデオ信号用電流を電圧に変換する容量手段と、変換された電圧に応じた電流を供給する供給手段を有し、前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、トランジスタの特性によらず、ビデオ信号に応じた電流出力を行うことを特徴とする。

明 細 書

信号線駆動回路及び発光装置

5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
- 15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
- 20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光
- 25

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(A)を用いて簡単に説明する。図16(A)に示した画素5は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16(A)に示した画素15において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右されずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16(B)、17を用いて簡単に説明する。図16(B)に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、TFT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。

図17を用いて、ビデオ信号の書き込みから発光までの動作について説明する。図17中、各部を示す図番は、図16に準ずる。図17(A)～(C)は、電流の経路を模式的に示している。図17(D)は、ビデオ信号の書き込み時における各経路を流れる電流の関係を示し、図17(E)は、同じくビデオ信号の書き込み時

5 に容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧を示す。

まず、第1及び第2の走査線602、603にパルスが入力され、TFT606、607がオンする。このとき、信号線601を流れる電流は信号電流を I_{data} と表記する。信号線601には、信号電流 I_{data} が流れているので、図17(A)に示

10 すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関係を図17(D)に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT606がオンした瞬間には、まだ容量素子610には電荷が保持されていないため、TFT608はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。この間は、容量素子610の両電極間に電流が流れて、該容量素子610にお

15 いて電荷の蓄積が行われている。

そして徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める(図17(E))。両電極の電位差が V_{th} となると(図17(E)、A点)、TFT608がオンして、 I_2 が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れており、容量素子610にはさらに電荷

20 の蓄積が行われる。

容量素子610では、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続く。つまりTFT608が I_{data} の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図17(E)、B点)と、電流 I_1 は流れなくなる。また、TFT

25 608は完全にオンしているので、 $I_{data} = I_2$ となる(図17(B))。以上の動作により、画素に対する信号の書き込み動作が完了する。最後に第1及び第2の走

査線 602、603 の選択が終了し、TFT606、607 がオフする。

続いて、第3の走査線 604 にパルスが入力され、TFT609 がオンする。容量素子 610 には、先ほど書き込んだ VGS が保持されているため、TFT608 はオンしており、電流線 605 から I data に等しい電流が流れる。これにより発光素子 611 が発光する。このとき、TFT608 が飽和領域において動作するようにしておけば、TFT608 のソース・ドレイン間電圧が変化したとしても、発光素子 611 に流れる発光電流 I EL は変わりなく流れる。

このように電流入力方式とは、TFT609 のドレイン電流が電流源回路 612 で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流に
10 応じた輝度で発光素子 611 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する TFT の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 16 では電流源回路 612 に相当）をポリシリコントランジスタ
15 で形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する TFT の特性バラツキの影響を抑制する必要がある。しかし図 16 (B) に示す構成の画素を用いることによって、画素を構成する TFT の特性バラツキの影響を抑制することは出来るが、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 18 を用いて簡単に説明する。

25 図 18 (A) (B) における電流源回路 612 は、図 16 (B) で示した電流源回路 612 に相当する。電流源回路 612 は、定電流源 555 ~ 558 を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なっており、その比は 1 : 2 : 4 : 8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 L (ゲート長) / W (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$ 段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、
10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル
15 ル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) がある。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、
20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

イブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-14

〔非特許文献2〕

Reiji H et al., 「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献1〕

特開2001-5426号公報

発明の開示

上述した電流源回路612は、 L/W 値を設計することによって、トランジスタの
10 オン電流を1:2:4:8になるように設定している。しかしトランジスタ555
～558は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ
が生じてしまう。そのため、トランジスタ555～558のオン電流を設計通りに
正確に1:2:4:8にすることは困難である。つまり列によって、画素に供給す
15 る電流値にバラツキが生じてしまう。

トランジスタ555～558のオン電流を設計通りに正確に1:2:4:8にする
ためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFTの特性バラツキの影
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提
供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素
を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提
25 供する。

本発明は、TFTの特性バラツキの影響を抑制した所望の一定電流を流す電気回

流を設定する動作、信号電流によって信号電流に比例した電流を出力できるように設定する動作、電流源回路420が信号電流を出力できるように定める動作)を設定動作と呼び、信号電流を画素や別の電流源回路に入力する動作(電流源回路420が信号電流を出力する動作)を入力動作と呼ぶ。図2において、第1電流源回路421及び第2電流源回路422に入力される制御信号は互いに異なっているため、第1電流源回路421及び第2電流源回路422は、一方は設定動作を行い、他方は入力動作を行う。これにより各列では、同時に2つの動作を行うことが出来る。

本発明では、発光装置とは発光素子を有する画素部及び信号線駆動回路が基板と
カバー材との間に封入されたパネル、前記パネルにIC等を実装したモジュール、ディスプレイなどを範疇に含む。つまり発光装置とは、パネル、モジュール及びディスプレイなどの総称に相当する。

本発明は、複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びビデオ信号用定電流源を有する信号線駆動回路であって、

前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチに配置され、

前記第1電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記ビデオ信号用定電流源から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする。

本発明は、複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源(nは1以上の自然数)を有する信号
線駆動回路であって、

前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチ

に配置され、

前記第 1 電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記第 2 電流源回路は、ラッチパルスに従って、前記第 1 ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記 n 個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする。

本発明は、複数の信号線の各々に対応した $2 \times n$ 個の電流源回路、並びにシフトレジスタ及び n 個のビデオ信号用定電流源（ n は 1 以上の自然数）を有する信号線駆動回路であって、

前記 $2 \times n$ 個の電流源回路のうち、 n 個の電流源回路が第 1 及び第 2 ラッチの各々に配置され、

前記第 1 ラッチに配置された n 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記第 2 ラッチに配置された n 個の電流源回路は、ラッチパルスに従って、前記第 1 ラッチから供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記複数の信号線には、前記第 2 ラッチに配置された n 個の電流源回路の各々から供給される電流を加算した電流が供給され、

前記 n 個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする。

本発明は、複数の信号線の各々に対応した $(n+m)$ 個の電流源回路、並びにシフトレジスタ及び n 個のビデオ信号用定電流源 (n は 1 以上の自然数、 $n \geq m$) を有する信号線駆動回路であって、

前記 $(n+m)$ 個の電流源回路のうち、 n 個の電流源回路が第 1 ラッチに配置され、
5 m 個の電流源回路が第 2 ラッチに配置され、

前記第 1 ラッチに配置された n 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

10 前記第 2 ラッチに配置された m 個の電流源回路は、ラッチパルスに従って、前記第 1 ラッチに配置された n 個の電流源回路の各々から供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記 n 個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$
15 2^n に設定されることを特徴とする。

本発明の信号線駆動回路には、各々が電流源回路を具備した第 1 及び第 2 のラッチが配置される。供給手段及び容量手段を有する電流源回路は、構成するトランジスタの特性バラツキの影響を受けることなく、所定の値の電流を供給することができる。また第 1 ラッチに配置された電流源回路はシフトレジスタから供給されるサンプリングパルスによって制御され、第 2 ラッチに配置された電流源回路は外部から供給されるラッチパルスによって制御される。つまり、第 1 及び第 2 ラッチに配置された電流源回路では、互いに異なる信号により制御されるため、供給された電流を電圧に変換する動作に時間をかけて正確に行うことができる。

また本発明の信号線駆動回路は、アナログ階調方式及びデジタル階調方式の両者に適用することが可能である。
25

本発明では、TFT は、通常の単結晶を用いたトランジスタや、SOI を用いたトラ

ンジスタ、有機トランジスタなどに置き換えて適用することができる。

- 本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、T F Tの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するT F Tの特性バラツキの影響を抑制し、また所望の信号電流 I_{data} を発光素子に供給することができる発光装置を提供する。

図面の簡単な説明

- 図 1 は、信号線駆動回路の図。
図 2 は、信号線駆動回路の図。
10 図 3 は、信号線駆動回路の図（1 ビット、2 ビット）。
図 4 は、信号線駆動回路の図（1 ビット）。
図 5 は、信号線駆動回路の図（2 ビット）。
図 6 は、電流源回路の回路図。
図 7 は、電流源回路の回路図。
15 図 8 は、電流源回路の回路図。
図 9 は、ビデオ信号用定電流源の回路図。
図 10 は、ビデオ信号用定電流源の回路図。
図 11 は、発光装置の図。
図 12 は、発光装置の外観を示す図。
20 図 13 は、発光装置の画素の回路図。
図 14 は、本発明の駆動方法を説明する図。
図 15 は、本発明の発光装置を示す図。
図 16 は、発光装置の画素の回路図。
図 17 は、発光装置の画素の動作を説明する図。
25 図 18 は、電流源回路の図。
図 19 は、電流源回路の動作を説明する図。

- 図 2 0 は、電流源回路の動作を説明する図。
- 図 2 1 は、電流源回路の動作を説明する図。
- 図 2 2 は、本発明が適用される電子機器を示す図。
- 図 2 3 は、信号線駆動回路の図（3 ビット）。
- 5 図 2 4 は、信号線駆動回路の図（3 ビット）。
- 図 2 5 は、ビデオ信号用定電流源の回路図。
- 図 2 6 は、ビデオ信号用定電流源の回路図。
- 図 2 7 は、ビデオ信号用定電流源の回路図。
- 図 2 8 は、電流源回路の回路図。
- 10 図 2 9 は、電流源回路の回路図。
- 図 3 0 は、電流源回路の回路図。
- 図 3 1 は、電流源回路の回路図。
- 図 3 2 は、電流源回路の回路図。
- 図 3 3 は、電流源回路の回路図。
- 15 図 3 4 は、信号線駆動回路の図。
- 図 3 5 は、信号線駆動回路の図。
- 図 3 6 は、信号線駆動回路の図。
- 図 3 7 は、信号線駆動回路の図。
- 図 3 8 は、信号線駆動回路の図。
- 20 図 3 9 は、信号線駆動回路の図。
- 図 4 0 は、信号線駆動回路の図。
- 図 4 1 は、ビデオ信号用定電流源の回路図。
- 図 4 2 は、ビデオ信号用定電流源の回路図。
- 図 4 3 は、ビデオ信号用定電流源の回路図。
- 25 図 4 4 は、ビデオ信号用定電流源の回路図。
- 図 4 5 は、電流源回路のレイアウト図。

図46は、電流源回路の回路図。

発明を実施するための最良の形態

(実施の形態1)

- 5 本実施の形態では、本発明の信号線駆動回路に具備される電流源回路420の回路構成とその動作の例について説明する。

本発明では端子aから入力される設定信号とはシフトレジスタから出力されるサンプリングパルス又はラッチパルスを示す。つまり図1における設定信号とは、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。

- 10 そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路420の設定動作を行う。

本発明の信号線駆動回路は、シフトレジスタ、第1のラッチ回路及び第2のラッチ回路を有する。そして第1のラッチ回路及び第2のラッチ回路は、それぞれ電流源回路を有する。つまり第1のラッチ回路が有する電流源回路の端子aには、設定

15 信号としてシフトレジスタから出力されるサンプリングパルスが入力される。そして第2のラッチ回路が有する電流源回路の端子aには、設定信号としてラッチパルスが入力される。

- 第1のラッチ回路では、シフトレジスタから出力されるサンプリングパルスに同期して、ビデオ線（Video data 線）から電流（信号電流）を取り込んで、該第1の
- 20 ラッチ回路が有する電流源回路で設定動作を行う。そしてラッチパルスに同期して第1のラッチ回路で記憶されている信号電流を第2のラッチ回路に出力する。このとき、第2のラッチ回路では、第1のラッチ回路から出力される電流（信号電流）を取り込んで、該第2のラッチ回路が有する電流源回路で設定動作を行う。その後、第2のラッチ回路で記憶されている信号電流は、信号線を介して画素に出力される。
- 25 つまり、第1のラッチ回路の電流源回路が設定動作を行っているとき、同時に、第2のラッチの電流源回路は、画素へ信号電流を出力する動作、つまり入力動作を

行っている。そして、ラッチパルスに同期して、第1のラッチの電流源回路が入力動作を行い、つまり、第1のラッチは第2のラッチへ電流を出力する動作を行い、同時に、第2のラッチの電流源回路は、第1のラッチから出力された電流を用いて、設定動作を行う。このように、各列で電流源回路の設定動作と入力動作を同時に行うことができるため、設定動作に時間をかけて、正確に行うことができる。なお、ビデオ線（video data 線）から供給される信号電流は、ビデオ信号に依存した大きさを持っている。したがって、画素へ供給される電流は、信号電流に比例した大きさであるため、画像（階調）を表現することが可能となる。

なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

図6（A）において、スイッチ104、105a、116と、トランジスタ102（nチャネル型）と、該トランジスタ102のゲート・ソース間電圧VGSを保持する容量素子103とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ104、スイッチ105aがオンとなる。第1のラッチ回路が有する電流源回路は、電流線（ビデオ線）に接続されたビデオ信号用定電流源109（以下定電流源109と表記）から端子bを介して電流が供給され、容量素子103に電荷が保持される。そして定電流源109から流される電流がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

また第2のラッチ回路が有する電流源回路は、第1のラッチ回路が有する電流源回路から、端子bを介して電流が供給され、容量素子103に電荷が保持される。そして、第1のラッチ回路が有する電流源回路から流される電流（信号電流 I data）がトランジスタ102のドレイン電流と等しくなるまで、容量素子103に電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ104、スイッチ105aをオフにする。そうすると、容量素子103に所定の電荷が保持されているため、トランジスタ102は、信号電流I_{data}に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101、スイッチ116が導通状態になると、
5 第1のラッチ回路が有する電流源回路では、端子cを介して第2のラッチ回路が有する電流源回路に電流が流される。このとき、トランジスタ102のゲート電圧は、容量素子103により所定のゲート電圧に維持されているため、トランジスタ102のドレイン領域には信号電流I_{data}に応じたドレイン電流が流れる。

また第2のラッチ回路が有する電流源回路では、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ102のゲート電圧は、容量素子103により所定のゲート電圧に維持されているため、トランジスタ102のドレイン領域には第1のラッチ回路から出力された電流（信号電流I_{data}）に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に入力される電流の大きさを制御できる。

15 なおスイッチ104及びスイッチ105aの接続構成は図6（A）に示す構成に限定されない。例えば、スイッチ104の一方を端子bに接続し、他方をトランジスタ102のゲート電極の間に接続し、更にスイッチ105aの一方をスイッチ104を介して端子bに接続して、他方をスイッチ116に接続する構成でもよい。そしてスイッチ104及びスイッチ105aは、端子aから入力される信号により
20 制御される。

或いは、スイッチ102は端子bとトランジスタ104のゲート電極の間に配置し、スイッチ105aは端子bとスイッチ116の間に配置してもよい。つまり、図28（A）を参照すると、設定動作時には図28（A1）のように接続され、入力動作時には図28（A2）のように接続されるように、配線やスイッチを配置するとよい。配線の本数やスイッチの個数及びその接続は特に限定されない。

なお図6（A）に示す電流源回路420では、信号を設定する動作（設定動作）

と、信号を画素や電流源回路に入力する動作（入力動作）、つまり電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6（B）において、スイッチ124、スイッチ125と、トランジスタ122（nチャネル型）と、該トランジスタ122のゲート・ソース間電圧VGSを保持する容量素子123と、とトランジスタ126（nチャネル型）とを有する回路が電流源回路420に相当する。

トランジスタ126はスイッチ又は電流源用トランジスタの一部のどちらかとして機能する。

電流源回路420では、端子aを介して入力される信号によってスイッチ124、
10 スwitch125がオンとなる。そうすると、第1のラッチ回路が有する電流源回路では、電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子123に電荷が保持される。そして定電流源109から流される信号電流Idataがトランジスタ122のドレイン電流と等しくなるまで、容量素子123に電荷が保持される。なおスイッチ124がオンとなると、トランジスタ126のゲ
15 ート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

また第2のラッチ回路が有する電流源回路では、第1のラッチ回路から、端子bを介して電流（信号電流Idata）が供給され、容量素子123に電荷が保持される。そして、第1のラッチ回路から流される電流（信号電流Idata）が、トランジスタ122のドレイン電流と等しくなるまで、容量素子123に電荷が保持される。な
20 おスイッチ124がオンになると、トランジスタ126のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ126はオフになる。

次いで、スイッチ124、スイッチ125をオフにする。そうすると、容量素子123に所定の電荷が保持されているため、第1のラッチ回路が有する電流源回路のトランジスタ122は、信号電流Idataに応じた大きさの電流を流す能力をもつ
25 ことになる。そして仮にスイッチ101が導通状態になると、端子cを介して第2のラッチ回路が有する電流源回路に電流が流される。このとき、トランジスタ12

2のゲート電圧は、容量素子123により所定のゲート電圧に維持されているため、トランジスタ122のドレイン領域には信号電流I dataに応じたドレイン電流が流れる。

また第2のラッチ回路が有する電流源回路のトランジスタ122は、第1のラッチ回路が有する電流源回路から出力された電流（信号電流I data）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ122のゲート電圧は、容量素子123により所定のゲート電圧に維持されているため、トランジスタ122のドレイン領域には電流（信号電流I data）に応じたドレイン電流が流れる。

なおスイッチ124、125がオフすると、トランジスタ126のゲートとソースは同電位ではなくなる。その結果、容量素子123に保持された電荷がトランジスタ126の方にも分配され、トランジスタ126が自動的にオンになる。ここで、トランジスタ122、126は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ122、126はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異なる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bと定電流源109との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なおスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図28（B）を参照すると、設定動作時には図28（B1）のように接続され、入力動作時には図28（B2）のように接続されるように、配線やスイッチを配置するとよい。特に、図28（B2）においては、容量素子123に貯まった電荷が漏れないようになっていけばよい。

なお図6（B）に示す電流源回路420では、信号を設定する動作（設定動作）

と、信号を画素や電流源回路に入力する動作（入力動作）、つまり、電流源回路から電流を出力する動作を同時に行うことは出来ない。

図6（C）において、スイッチ108、スイッチ110、トランジスタ105b、106（nチャネル型）、該トランジスタ105b、106のゲート・ソース間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当する。

電流源回路420では、端子aを介して入力される信号によってスイッチ108、スイッチ110がオンとなる。そうすると第1のラッチ回路が有する電流源回路では、電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子107に電荷が保持される。そして定電流源109から流される信号電流I dataがトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧が、容量素子107によって保持されている。

また第2のラッチ回路が有する電流源回路では、第1のラッチ回路が有する電流源回路から、端子bを介して電流が供給され、容量素子107に電荷が保持される。そして第1のラッチ回路が有する電流源回路から流される電流（信号電流I data）がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105b及びトランジスタ106のゲート電極は接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧が、容量素子107によって保持されている。

次いで、スイッチ108、スイッチ110をオフにする。そうすると、第1のラッチ回路が有する電流源回路では、容量素子107に所定の電荷が保持されるため、トランジスタ106は、信号電流I dataに応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して第2のラッチ回路が有する電流源回路に電流が流される。このとき、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に維持されているため、

トランジスタ 106 のドレイン領域には電流（信号電流 I data）に応じたドレイン電流が流れる。

また第 2 のラッチ回路が有する電流源回路では、容量素子 107 に第 1 のラッチ回路から出力された電流（信号電流 I data）が保持されるため、トランジスタ 106 は、電流（信号電流 I data）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流される。このとき、トランジスタ 106 のゲート電圧は、容量素子 107 により所定のゲート電圧に維持されているため、トランジスタ 106 のドレイン領域には電流（信号電流 I data）に応じたドレイン電流が流れる。そのため、
10 信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素に
入力される電流の大きさを制御することが出来る。

このとき、トランジスタ 106 のドレイン領域に、信号電流 I data に応じたドレイン電流を正確に流すためには、トランジスタ 105 b 及びトランジスタ 106 の特性が同じであることが必要となる。より詳しくは、トランジスタ 105 b 及びトランジスタ 106 の移動度、しきい値などの値が同じであることが必要となる。また図 6（C）では、トランジスタ 105 b 及びトランジスタ 106 の W（ゲート幅）/L（ゲート長）の値を任意に設定して、定電流源 109 などから供給される信号電流 I data に比例した電流を画素などに供給するようにしてもよい。
15

またトランジスタ 105 b において、定電流源 109 に接続されたトランジスタの W/L を大きく設定することで、該定電流源 109 から大電流を供給して、書き込み速度を早くすることが出来る。
20

なお図 6（C）に示す電流源回路 420 では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。

そして図 6（D）（E）に示す電流源回路 420 は、図 6（C）に示す電流源回路 420 とスイッチ 110 の接続構成が異なっている点以外は、その他の回路素子の接続構成は同じである。また図 6（D）（E）に示す電流源回路 420 の動作は、
25

図6 (C) に示す電流源回路420の動作と同じであるので、本実施の形態では説明を省略する。

なおスイッチの個数、配線の本数やその接続構成は特に限定されない。つまり、図28 (C) を参照すると、設定動作時には図28 (C1) のように接続され、入力動作時には図28 (C2) のように接続されるように、配線やスイッチを配置するとよい。特に、図28 (C2) においては、容量素子107に貯まった電荷が漏れないようになっていけばよい。

図29 (A) において、スイッチ195b、195c、195d、195f、トランジスタ195a、容量素子195eを有する回路が電流源回路に相当する。図29 (A) に示す電流源回路では、端子aを介して入力される信号によりスイッチ195b、195c、195d、195fがオンになる。そうすると、端子bを介して、電流線に接続された定電流源109から電流が供給され、定電流源109から供給される信号電流とトランジスタ195aのドレイン電流が等しくなるまで、容量素子195eに所定の電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ195b、195c、195d、fがオフになる。このとき、容量素子195eには所定の電荷が保持されているため、トランジスタ195aは信号電流に応じた大きさの電流を流す能力を有する。これは、トランジスタ195aのゲート電圧は、容量素子195eにより所定のゲート電圧に設定されており、該トランジスタ195aのドレイン領域には電流（ビデオ信号用電流）に応じたドレイン電流が流れるためである。この状態において、端子cを介して外部に電流が供給される。なお図29 (A) に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。なお端子aを介して入力される信号により制御されるスイッチがオンであり、且つ端子cから電流が流れないようにしているときは、端子cと他の電位の配線とを接続する必要がある。そして、ここではその配線の電位を、 V_a とする。 V_a は、端子bから流れ

てくる電流をそのまま流せるような電位であればよく、一例としては、電源電圧 V_{dd} などであり。

なおスイッチの個数、配線の本数及びその接続構成は特に限定されない。つまり、図 29 (B) (C) を参照すると、設定動作時には (B1) (C1) のように接続され、
5 入力動作時には (B2) (C2) のように接続されるように、配線やスイッチを配置するとよい。

また図 6 (A)、図 6 (C) ~ (E) において、電流の流れる方向 (画素から信号線駆動回路へ
10 の方向) は同様であって、トランジスタ 102、トランジスタ 105b、トランジスタ 106 の極性 (導電型) を p チャネル型にすることも可能である。

そこで図 7 (A) には、電流の流れる方向 (画素から信号線駆動回路へ
15 の方向) は同様であって、図 6 (A) に示すトランジスタ 102 を p チャネル型にしたときの回路構成を示す。図 7 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。また図 7 (B) ~ (D) には、電流の流れる方向 (画素から信号線駆動回路へ
20 の方向) は同様であって、図 6 (C) ~ (E) に示すトランジスタ 105b、トランジスタ 106 を p チャネル型にした回路図を示す。

また、図 30 (A) には、図 29 に示した構成において、トランジスタ 195a
25 を p チャネル型にした場合を示す。また図 30 (B) には、図 6 (B) に示した構成において、トランジスタ 122、126 を p チャネル型にした場合を示す。

図 32 において、スイッチ 104、116、トランジスタ 102、容量素子 103
3 などを有する回路が電流源回路に相当する。

図 32 (A) は、図 6 (A) の一部を変更した回路に相当する。図 32 (A) に
25 示す電流源回路では、電流源の設定動作時と、入力動作時とで、トランジスタのゲート幅 W が異なる。つまり、設定動作時には、図 32 (B) のように接続され、ゲート幅 W が大きい。入力動作時には、図 32 (C) のように接続され、ゲート

幅 W が小さい。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とビデオ信号用定電流源との間に配置された様々な負荷（配線抵抗、交差容量などを、より早く充電することができる。従って、設定動作を素早く完了させることができる。

なお、図 3 2 では、図 6 (A) の一部を変更した回路について示した。しかし、図 6 のほかの回路や図 7、図 2 9、図 3 1、図 3 0 などの回路にも、容易に適用できる。

なお上記の電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかし電流は、画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。なお、電流が画素から信号線駆動回路の方向へ流れるか、又は電流が信号線駆動回路から画素の方向へ流れるかは、画素の回路構成に依存する。そして電流が信号線駆動回路から画素の方向へ流れる場合には、図 6 に示す回路図において、 V_{ss} （低電位電源）を V_{dd} （高電位電源）とし、更にトランジスタ 1 0 2、トランジスタ 1 0 5 b、トランジスタ 1 0 6、トランジスタ 1 2 2 及びトランジスタ 1 2 6 を p チャネル型とすればよい。また図 7 に示す回路図において、 V_{ss} を V_{dd} とし、更にトランジスタ 1 0 2、トランジスタ 1 0 5 b 及びトランジスタ 1 0 6 を n チャネル型とすればよい。

但し、設定動作時には図 3 1 (A 1) ~ (D 1) のように接続され、入力動作時には図 3 1 (A 2) ~ (D 2) のように接続されるように、配線やスイッチを配置するとよい。スイッチの個数、配線の本数及びその接続構成は特に限定されない。

なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

以下には、図 6、7 を用いて説明した電流源回路のうち、図 6 (A) 及び図 7 (A)、図 6 (C) ~ (E) 及び図 7 (B) ~ (D) の電流源回路の動作について詳しく説明する。まず、図 6 (A) 及び図 7 (A) の電流源回路の動作について図 1 9 を用

いて説明する。

図19(A)～図19(C)は、電流が回路素子間を流れていく経路を模式的に示している。図19(D)は、信号電流 I_{data} を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図19(E)は、信号電流 I_{data} を電流源回路に書き込むときに容量素子16に蓄積される電圧、つまりトランジスタ15のゲート・ソース間電圧と時間の関係を示している。また図19(A)～図19(C)に示す回路図において、11はビデオ信号用定電流源、スイッチ12～スイッチ14はスイッチング機能を有する半導体素子、15はトランジスタ(nチャネル型)、16は容量素子、17は画素である。本実施の形態では、スイッチ14と、トランジスタ15と、容量素子16とが電流源回路20に相当する電気回路とする。なお図19(A)には引き出し線と符号が付いており、図19(B)、(C)において引き出し線と符号は図19(A)に準ずるので図示は省略する。なお本明細書では、第1のラッチ回路が有する電流源回路のビデオ信号用定電流源11から電流が供給され、第2のラッチ回路が有する電流源回路が信号線に接続された画素に電流を流す。しかしここでは、説明を簡単にするために、ビデオ信号用定電流源11から電流が供給されて、信号線に接続された画素に電流を供給する電流源回路について説明する。

nチャネル型のトランジスタ15のソース領域は V_{ss} に接続され、ドレイン領域はビデオ信号用定電流源11に接続されている。そして容量素子16の一方の電極は V_{ss} (トランジスタ15のソース) に接続され、他方の電極はスイッチ14 (トランジスタ15のゲート) に接続されている。容量素子16は、トランジスタ15のゲート・ソース間電圧を保持する役目を担う。

画素17は、発光素子やトランジスタなどにより構成される。発光素子は、陽極と陰極と、該陽極と該陰極との間に挟まれた発光層を有する。本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。また発光層には、公知の発光材料を用いて作製す

ることが出来る。発光層には、単層構造と積層構造の二つの構造があるが、本発明は公知のどのような構造を用いてもよい。発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と、三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明はどちらか一方、又は両方の発光を用いた発光装置にも適用できる。また発光層は、有機材料や無機材料などの公知の材料から構成される。

なお実際には、電流源回路20は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路20から、信号線や画素が有する回路素子等を紹介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図19は、ビデオ信号用定電流源11、電流源回路20及び画素17との関係の概略を簡単に説明するための図であるので、詳しい構成の図示は省略する。

まず電流源回路20が信号電流 I_{data} を保持する動作（設定動作）を図19（A）、（B）を用いて説明する。図19（A）において、スイッチ12、スイッチ14がオンとなり、スイッチ13はオフとなる。この状態において、ビデオ信号用定電流源11から信号電流 I_{data} が出力され、ビデオ信号用定電流源11から電流源回路20の方向に電流が流れていく。このとき、ビデオ信号用定電流源11からは信号電流 I_{data} が流れているので、図19（A）に示すように電流源回路20内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図19（D）に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

ビデオ信号用定電流源11から電流が流れ始めた瞬間には、容量素子16に電荷は保持されていないため、トランジスタ15はオフしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。

そして、徐々に容量素子16に電荷が蓄積されて、容量素子16の両電極間に電位差が生じはじめる（図19（E））。両電極間の電位差が V_{th} になると（図19（E） A点）、トランジスタ15がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容

量素子 16 には、さらに電荷の蓄積が行われる。

容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 15 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 16 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 19 (E) B 点)、電流 I_2 は流れなくなり、さらにトランジスタ 15 は完全にオンしているので、 $I_{data} = I_2$ となる (図 19 (B))。

次いで、画素に信号電流 I_{data} を入力する動作 (入力動作) を図 19 (C) を用いて説明する。画素に信号電流 I_{data} を入力するときには、スイッチ 13 をオンにしてスイッチ 12 及びスイッチ 14 をオフにする。容量素子 16 には前述した動作において書き込まれた V_{GS} が保持されているため、トランジスタ 15 はオンしており、信号電流 I_{data} に等しい電流が、スイッチ 13 及びトランジスタ 15 を介して V_{ss} の方向に流れて、画素への信号電流 I_{data} の入力完了する。このとき、トランジスタ 15 を飽和領域において動作するようにしておけば、トランジスタ 15 のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

図 19 に示す電流源回路 20 では、図 19 (A) ~ 図 19 (C) に示すように、まず電流源回路 20 に対して信号電流 I_{data} の書き込みを終了させる動作 (設定動作、図 19 (A)、(B) に相当) と、画素に信号電流 I_{data} を入力する動作 (入力動作、図 19 (C) に相当) に分けられる。そして画素では入力された信号電流 I_{data} に基づき、発光素子への電流の供給が行われる。

図 19 に示す電流源回路 20 では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも 2 つの電流源回路を設けることが好ましい。但し、信号電流 I_{data} を画素に入力していない期間内に、設定動作を行うことが可能であるならば、

信号線ごとに（各列に）1つの電流源回路を設けるだけでもよい。

また図19（A）～図19（C）に示した電流源回路20のトランジスタ15はnチャネル型であったが、勿論電流源回路20のトランジスタ15をpチャネル型としてもよい。ここで、トランジスタ15がpチャネル型の場合の回路図を図19

5 （F）に示す。図19（F）において、31はビデオ信号用定電流源、スイッチ32～スイッチ34はスイッチング機能を有する半導体素子（トランジスタ）、35はトランジスタ（pチャネル型）、36は容量素子、37は画素である。本実施の形態では、スイッチ34と、トランジスタ35と、容量素子36とが電流源回路24に相当する電気回路とする。

10 トランジスタ35はpチャネル型であり、トランジスタ35のソース領域及びドレイン領域は、一方はVddに接続され、他方は定電流源31に接続されている。そして容量素子36の一方の電極はVddに接続され、他方の電極はスイッチ36に接続されている。容量素子36は、トランジスタ35のゲート・ソース間電圧を保持する役目を担う。

15 図19（F）に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、上記の電流源回路20と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ15の極性を変更した電流源回路を設計する場合には、図7（A）に示す回路図を参考にすればよい。

なお図33において、電流の流れる方向は図19（F）と同じで、トランジスタ

20 35をnチャネル型にしている。容量素子36は、トランジスタ35のゲート・ソース間に接続する。ソースの電位は設定動作時と、入力動作時とで異なる。しかし、ソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

続いて、図6（C）～（E）及び図7（B）～（D）の電流源回路の動作について図20、21を用いて説明する。図20（A）～図20（C）は、電流が回路素子間を流れていく経路を模式的に示している。図20（D）は、信号電流I_{data}を

25

- 電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 20 (E) は、信号電流 I_{data} を電流源回路に書き込むときに容量素子 46 に蓄積される電圧、つまりトランジスタ 43、44 のゲート・ソース間電圧と時間の関係を示している。また図 20 (A) ~ 図 20 (C) に示す回路図において、41 はビデオ信号用定電流源、スイッチ 42 はスイッチング機能を有する半導体素子、43、44 はトランジスタ (n チャネル型)、46 は容量素子、47 は画素である。本実施の形態では、スイッチ 42 と、トランジスタ 43、44 と、容量素子 46 とが電流源回路 25 に相当する電気回路とする。なお図 20 (A) には引き出し線と符号が付いており、図 20 (B)、(C) において引き出し線と符号は図 20 (A) に準ずるので図示は省略する。なお本明細書では、第 1 のラッチ回路が有する電流源回路のビデオ信号用定電流源 41 から電流が供給され、第 2 のラッチ回路が有する電流源回路が信号線に接続された画素に電流を流す。しかしここでは、説明を簡単にするために、ビデオ信号用定電流源 41 から電流が供給されて、信号線に接続された画素に電流を供給する電流源回路について説明する。
- 15 n チャネル型のトランジスタ 43 のソース領域は V_{ss} に接続され、ドレイン領域は定電流源 41 に接続されている。n チャネル型のトランジスタ 44 のソース領域は V_{ss} に接続され、ドレイン領域は画素 47 の端子 48 に接続されている。そして容量素子 46 の一方の電極は V_{ss} (トランジスタ 43 及び 44 のソース) に接続され、他方の電極はトランジスタ 43 及びトランジスタ 44 のゲート電極に接続されている。容量素子 46 は、トランジスタ 43 及びトランジスタ 44 のゲート・ソース間電圧を保持する役目を担う。
- 20

なお実際には、電流源回路 25 は信号線駆動回路に設けられている。そして信号線駆動回路に設けられた電流源回路 25 から、信号線や画素が有する回路素子等を介して発光素子に信号電流 I_{data} に応じた電流が流れる。しかし図 20 は、ビデオ信号用定電流源 41、電流源回路 25 及び画素 47 との関係の概略を説明するための図であるので、詳しい構成の図示は省略する。

25

図20の電流源回路25では、トランジスタ43及びトランジスタ44のサイズが重要となる。そこでトランジスタ43及びトランジスタ44のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図20(A)～図20(C)において、トランジスタ43及びトランジスタ44のサイズが同じ場合には、信号電流 I_{data} を用いて説明する。そしてトランジスタ43及びトランジスタ44のサイズが異なる場合には、信号電流 I_{data1} と信号電流 I_{data2} を用いて説明する。なおトランジスタ43及びトランジスタ44のサイズは、それぞれのトランジスタの W (ゲート幅) / L (ゲート長) の値を用いて判断される。

最初に、トランジスタ43及びトランジスタ44のサイズが同じ場合について説明する。そしてまず信号電流 I_{data} を電流源回路20に保持する動作を図20(A)、(B)を用いて説明する。図20(A)において、スイッチ42がオンになると、ビデオ信号用定電流源41で信号電流 I_{data} が設定され、定電流源41から電流源回路25の方向に電流が流れていく。このとき、ビデオ信号用定電流源41からは信号電流 I_{data} が流れているので、図20(A)に示すように電流源回路25内では、電流の経路は I_1 と I_2 に分かれて流れる。このときの関係を図20(D)に示しているが、信号電流 $I_{data} = I_1 + I_2$ の関係であることは言うまでもない。

定電流源41から電流が流れ始めた瞬間には、容量素子46に電荷は保持されていないため、トランジスタ43及びトランジスタ44はオフしている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。

そして、徐々に容量素子46に電荷が蓄積されて、容量素子46の両電極間に電位差が生じはじめる(図20(E))。両電極間の電位差が V_{th} になると(図20(E) A点)、トランジスタ43及びトランジスタ44がオンして、 $I_2 > 0$ となる。上述したように $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れている。容量素子46には、さらに電荷の蓄積が行われる。

容量素子46の両電極間の電位差は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧となる。そのため、トランジスタ43及びトランジスタ44

のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 44 が I_{data} の電流を流すことが出来るだけの電圧 (V_{GS}) になるまで、容量素子 46 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 20 (E) B 点)、電流 I_2 は流れなくなり、さらにトランジスタ 43 及びトランジスタ 44 は完全にオンしている (図 20 (B))。5

次いで、画素に信号電流 I_{data} を入力する動作を図 20 (C) を用いて説明する。まずスイッチ 42 をオフにする。容量素子 46 には前述した動作において書き込まれた V_{GS} が保持されているため、トランジスタ 43 及びトランジスタ 44 はオンしており、画素 47 から信号電流 I_{data} に等しい電流が流れる。これにより、画素 10 に信号電流 I_{data} が入力される。このとき、トランジスタ 44 を飽和領域において動作するようにしておけば、トランジスタ 44 のソース・ドレイン間電圧が変化しただとしても、画素において流れる電流は変わりなく流れることができる。

なお図 42 (C) のようなカレントミラー回路の場合には、スイッチ 42 をオフにしなくても、定電流源 41 から供給される電流を用いて画素 47 に電流を流すことも出来る。つまり電流源回路 20 に対して信号を設定する動作 (設定動作)、信号を画素に入力する動作 (入力動作) を同時に行うことが出来る。15

次いで、トランジスタ 43 及びトランジスタ 44 のサイズが異なる場合について説明する。電流源回路 25 における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ 43 及びトランジスタ 44 のサイズが異なると、必然的にビデオ信号用定電流源 41 において設定される信号電流 I_{data1} と画素 47 に流れる信号電流 I_{data2} とは異なる。両者の相違点は、トランジスタ 43 及びトランジスタ 44 の W/L (ゲート幅) / L (ゲート長) の値の相違点に依存する。20

通常はトランジスタ 43 の W/L 値を、トランジスタ 44 の W/L 値よりも大きくすることが望ましい。これは、トランジスタ 43 の W/L 値を大きくすれば、信号電流 I_{data1} を大きくできるからである。この場合、信号電流 I_{data1} で電流源回路 25 を設定するとき、負荷 (交差容量、配線抵抗) を充電できるため、素早く設定動作

を行うことが可能となる。

図20(A)～図20(C)に示した電流源回路25のトランジスタ43及びトランジスタ44はnチャネル型であったが、勿論電流源回路25のトランジスタ43及びトランジスタ44をpチャネル型としてもよい。ここで、トランジスタ43及びトランジスタ44がpチャネル型の場合の回路図を図21に示す。

図21において、41は定電流源、スイッチ42はスイッチング機能を有する半導体素子、43、44はトランジスタ(pチャネル型)、46は容量素子、47は画素である。本実施の形態では、スイッチ42と、トランジスタ43、44と、容量素子46とが電流源回路26に相当する電気回路とする。

10 pチャネル型のトランジスタ43のソース領域はVddに接続され、ドレイン領域は定電流源41に接続されている。pチャネル型のトランジスタ44のソース領域はVddに接続され、ドレイン領域は画素47の端子48に接続されている。そして容量素子46の一方の電極はVdd(ソース)に接続され、他方の電極はトランジスタ43及びトランジスタ44のゲート電極に接続されている。容量素子46は、ト
15 ランジスタ43及びトランジスタ44のゲート・ソース間電圧を保持する役目を担う。

図21に示す電流源回路26の動作は、電流の流れる方向が異なる以外は、図20(A)～図20(C)と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ43、トランジスタ44の極性を変えた
20 電流源回路を設計する場合には、図7(B)、図33を参考にすればよい。

以上をまとめると、図19の電流源回路では、電流源で設定される信号電流I_{data}と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流I_{data}と、画素に流れる電流は値が同じであり、電流源回路に設けられたトランジスタの特性バラツキの影響は受けない。

25 また、図19の電流源回路及び図6(B)の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流I_{data}を出力することは出来ない。

そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素にI dataを入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に1つの電流源回路
5 を設けるだけでもよい。なお、図29（A）、図30（A）の電流源回路は、図19の電流源回路と、接続や電流が流れる経路が異なる以外は、同様である。図32（A）の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。また、図6（B）、図30（B）の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様である。つまり、図32（A）では、トランジスタの
10 ゲート幅Wが設定動作時と入力動作時で異なり、図6（B）、図30（B）では、トランジスタのゲート長Lが設定動作時と入力動作時とで異なるだけで、それ以外は図19の電流源回路と同様の構成である。

一方、図20、21の電流源回路では、定電流源において設定された信号電流I
15 dataと、画素に流れる電流の値は、電流源回路に設けられた2つのトランジスタのサイズに依存する。つまり電流源回路に設けられた2つのトランジスタのサイズ（W（ゲート幅）/L（ゲート長））を任意に設計して、定電流源において設定された信号電流I dataと、画素に流れる電流を任意に変えることが出来る。但し、2つのトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、
20 正確な信号電流I dataを画素に出力することが難しい。

また、図20、21の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作（設定動作）、信号を画素に入力する動作（入力動作）を同時に行うことが出来る。そのため、図19の電流源回路のように、1本の信号線に2つの電流源回路を設ける必要はない。

25 上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

(実施の形態 2)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成について図 15 を用いて説明する。

本発明の発光装置は、基板 401 上に、複数の画素がマトリクス状に配置された
5 画素部 402 を有し、画素部 402 の周辺には、信号線駆動回路 403、第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 を有する。図 15 (A) においては、信号線駆動回路 403 と、2 組の走査線駆動回路 404、405 を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。また信号線駆動回路 403 と、第 1 の走査線駆動回路
10 404 及び第 2 の走査線駆動回路 405 には、FPC 406 を介して外部より信号が供給される。

第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 の構成について図 15 (B) を用いて説明する。第 1 の走査線駆動回路 404 及び第 2 の走査線駆動回路 405 は、シフトレジスタ 407、バッファ 408 を有する。動作を簡単に
15 説明すると、シフトレジスタ 407 は、クロック信号 (G-CLK)、スタートパルス (S-SP) 及びクロック反転信号 (G-CLKb) に従って、順次サンプリングパルスを出力する。その後バッファ 408 で増幅されたサンプリングパルスは、走査線に入力されて 1 行ずつ選択状態にしていく。そして選択された走査線によって、制御される画素には、順に信号線から信号電流 I data が書き込まれる。

20 なおシフトレジスタ 407 と、バッファ 408 の間にはレベルシフタ回路を配置した構成にしてもよい。レベルシフタ回路を配置することによって、電圧振幅を大きくすることが出来る。

信号線駆動回路 403 の構成については以下に後述する。また本実施の形態は、実施の形態 1 と自由に組み合わせることが可能である。

25 (実施の形態 3)

本実施の形態では、図 15 (A) に示した信号線駆動回路 403 の構成とその動

作について説明する。本実施の形態では、アナログ階調表示又は1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

図3(A)には、アナログ階調表示又は1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ415、第1のラッチ回路416、第2のラッチ回路417を有する。

動作を簡単に説明するとシフトレジスタ415は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(S-SP)、クロック反転信号(S-CLKb)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ415より出力されたサンプリングパルスは、第1のラッチ回路416に入力される。第1のラッチ回路416には、ビデオ信号(デジタルビデオ信号又はアナログビデオ信号)が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

第1のラッチ回路416において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路417にラッチパルスが入力され、第1のラッチ回路416に保持されていたビデオ信号は、一斉に第2のラッチ回路417に転送される。すると、第2のラッチ回路417に保持されたビデオ信号は、1行分が同時に信号線に接続された画素へと入力されることになる。

第2のラッチ回路417に保持されたビデオ信号が画素に供給されている間、シフトレジスタ415においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。

そして本発明の信号線駆動回路は、各々が電流源回路を有する第1のラッチ回路416及び第2のラッチ回路417が具備される。

次いで第1のラッチ回路416及び第2のラッチ回路417の構成を図4を用いて説明する。図4には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路403の概略を示す。

信号線駆動回路 403 は、列ごとに電流源回路 431、スイッチ 432、電流源回路 433 及びスイッチ 434 を有する。スイッチ 432 及びスイッチ 434 はラッチパルスにより制御される。なおスイッチ 432 及びスイッチ 434 には互いに反転した信号が入力される。そのため、電流源回路 433 は、設定動作及び入力動作の一方を行う。

電流源回路 431 及び電流源回路 433 は、端子 a を介して入力される信号により制御される。そして第 1 のラッチ回路 416 が有する電流源回路 431 は、端子 b を介してビデオ線（電流線）に接続されたビデオ信号用定電流源 109 を用いて設定された電流（信号電流 I_{data} ）が保持される。そして電流源回路 431 と電流源回路 433 の間にはスイッチ 432 が設けられており、前記スイッチ 432 のオン又はオフはラッチパルスにより制御される。

また第 2 のラッチ回路 417 が有する電流源回路 433 は、電流源回路 431（第 1 のラッチ回路 416）から出力される電流が保持される。そして電流源回路 433 と信号線に接続された画素との間にはスイッチ 434 が設けられており、前記スイッチ 434 のオン又はオフは、ラッチパルスにより制御される。

なお、電流源回路 433 と信号線に接続された画素との間にあるスイッチ 434 は、電流源回路 433 にスイッチが配置されている場合、省略できる。また、電流源回路の構成によっては、電流源回路 433 と信号線に接続された画素との間のスイッチ 434 は必要ない。

なお、電流源回路 433 と信号線に接続された画素との間にあるスイッチ 434 と同様に、電流源回路 431 と電流源回路 433 の間にあるスイッチ 432 も、省略できる場合がある。

そして、1 ビットのデジタル階調表示を行う場合、ビデオ信号が明信号のときには、電流源回路 433 から画素に信号電流 I_{data} が出力される。反対にビデオ信号が暗信号のときには、電流源回路 433 は、電流を流す能力を持っていないので、画素へ電流は流れない。また、アナログ階調表示を行う場合、ビデオ信号に応じて、

電流源回路 4 3 3 から画素に信号電流 I_{data} が出力される。つまり電流源回路 4 3 3 は、電流を流す能力 (VGS) を、ビデオ信号に制御されており、画素へ出力する電流の大きさにより、明るさが制御される。

本発明では端子 a から入力される設定信号とはシフトレジスタから出力される
5 サンプリングパルス又はラッチパルスを示す。つまり図 1 における設定信号とは、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路の設定を行う。

また第 1 のラッチ回路 4 3 1 が有する電流源回路 4 3 1 の端子 a にはシフトレ
10 ジスタ 4 1 5 から出力されるサンプリングパルスが入力される。そして第 2 のラッチ回路 4 1 7 が有する電流源回路 4 3 3 の端子 a にはラッチパルスが入力される。

そして電流源回路 4 3 1 及び電流源回路 4 3 3 には、図 6、図 7、図 2 9、図 3 0、図 3 2 などに示した電流源回路の回路構成を自由に用いることが出来る。各電流源回路は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

15 また図 4 では、ビデオ信号用定電流源 1 0 9 から、第 1 のラッチ回路に対して 1 列ずつ設定動作を行っているが、これに限定されない。図 3 4 に示すように、同時に複数列で設定動作を行うこと、つまり、多相化させてもよい。図 3 4 には、ビデオ信号用定電流源 1 0 9 が 2 個配置されているが、この 2 個のビデオ信号用定電流源に対しても別に配置したビデオ信号用定電流源から設定動作を行ってもよい。

20 以下には、図 4 において、電流源回路 4 3 1 及び電流源回路 4 3 3 に用いる方式の組合せの例と、その利点について述べる。

まず、第 1 のラッチ回路 4 1 6 が有する電流源回路 4 3 1 及び第 2 のラッチ回路 4 1 7 が有する電流源回路 4 3 3 は、一方が図 6 (A) のような回路であり、他方が図 6 (C) のようなカレントミラー回路である場合について説明する。

25 なお図 6 (C) のようなカレントミラー回路の電流源回路は、少なくとも 2 つのトランジスタを有し、前記 2 つのトランジスタのゲート電極は共通あるいは電氣的

に接続されていることは上述した。そして2つのトランジスタのうち、一つのトランジスタのソース領域及びドレイン領域の一方と、もう一つのトランジスタのソース領域及びドレイン領域の一方は、異なる回路素子に接続されている。例えば図20に示す電流源回路では、2つのトランジスタのうち、一つのトランジスタ（のソース領域及びドレイン領域の一方）は定電流源に接続され、もう一つのトランジスタ（のソース領域及びドレイン領域の一方）は画素に接続されている。

そして最初に、第1のラッチ回路416が有する電流源回路431が図6（A）のような回路であり、第2のラッチ回路417が有する電流源回路433が図6（C）のようなカレントミラー回路である場合について説明する。この場合には、図6（C）のようなカレントミラー回路である電流源回路433が有する2つのトランジスタは、一方は第1のラッチ回路416が有する電流源回路431に接続され、他方はスイッチ434を介して画素に接続されている。

なお、上記構成の場合には、スイッチ434は配置しなくてもよい。これは、第2のラッチ回路417が有する電流源回路433が図6（C）のようなカレントミラー回路の場合、第1のラッチ回路416が有する電流源回路431から流れた電流が画素の方に流れることがないこと、また、設定動作と入力動作を同時に行えることによる。

つまり、図6（C）のようなカレントミラー回路の場合、設定動作を行うトランジスタと入力動作を行うトランジスタは、別のトランジスタである。設定動作を行うトランジスタのソース・ドレイン間に流れる電流は、入力動作を行うトランジスタのソース・ドレイン間には、流れない。またその逆の場合も成り立つ。そのため、第1のラッチ回路416が有する電流源回路431から流れた電流は、設定動作を行うトランジスタには流れるが、入力動作を行うトランジスタには流れず、その電流は画素の方にも流れない。したがって、スイッチ434を配置しなくても、設定動作と入力動作とは、互いに悪影響を及ぼすことはなく、問題は生じない。

そして図6（C）のようなカレントミラー回路の2つのトランジスタにおいて、

第1のラッチ回路416が有する電流源回路431に接続されている方のトランジスタに比べて、画素に接続されている方のトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源109から供給される電流値を大きくすることが出来る。

- 5 例えば画素に与える電流の大きさを P とする。そして画素に接続されている方のトランジスタの W/L 値を W_a として、電流源回路431に接続されている方のトランジスタの W/L 値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源109からは、 $(2 \times P)$ の電流が供給されることになる。このようにトランジスタの W/L 値を適当な値に設定することによって、ビデオ信号用定電流源109から供給される電流
- 10 を大きくできるため、電流源回路431の設定動作を素早く正確に行うことが出来る。

この場合の回路図を、図35に示す。

- 次いで、第1のラッチ回路416が有する電流源回路431が図6（C）のようなカレントミラー回路であり、第2のラッチ回路417が有する電流源回路433
- 15 が図6（A）のような回路である場合について説明する。この場合には、図6（C）のようなカレントミラー回路である電流源回路431の2つのトランジスタは、一方はビデオ信号用定電流源109に接続され、他方は第2のラッチ回路417が有する電流源回路417に接続されている。

- そして図6（C）のようなカレントミラー回路の2つのトランジスタにおいて、
- 20 ビデオ信号用定電流源109に接続されている方のトランジスタに比べて、第2のラッチ回路417が有する電流源回路433に接続されている方のトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源109から供給される電流値を大きくすることが出来る。

- 例えば画素に与える電流の大きさを P とする。そして第2のラッチ回路417が
- 25 有する電流源回路433に接続されているトランジスタの W/L 値を W_a として、ビデオ信号用定電流源109に接続されているトランジスタの W/L 値を $(2 \times W_a)$

とすれば、ビデオ信号用定電流源109からは、 $(2 \times P)$ の電流が供給されることになる。このようにトランジスタのW/L値を適当な値に設定することによって、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路431の設定動作を素早く正確に行うことが出来る。

5 この場合の回路図を、図36に示す。

次いで、第1のラッチ回路416が有する電流源回路431及び第2のラッチ回路417が有する電流源回路432の両方が図6(C)のようなカレントミラー回路である場合について説明する。

例えば画素に与える電流の大きさをPとする。そして仮に、第2のラッチ回路417が有する電流源回路433において、図6(C)のようなカレントミラー回路の2つのトランジスタにおいて、画素に接続された方のトランジスタのW/L値をW_aとすると、第1のラッチ回路416が有する電流源回路に接続された方のトランジスタのW/L値を $(2 \times W_a)$ にする。そうすると第2のラッチ回路417が有する電流源回路433では、電流値が2倍になる。

15 同様に、図6(C)のようなカレントミラー回路の2つのトランジスタにおいて、ビデオ信号用定電流源109に接続されている方のW/L値を $(2 \times W_b)$ とすると、第2のラッチ回路417に接続されている方のW/L値をW_bとする。そうすると、第1のラッチ回路416が有する電流源回路431では、電流値が2倍になる。そうすると、ビデオ信号用定電流源109からは、 $(4 \times P)$ の電流が供給されることになる。このようにトランジスタのW/L値を適当な値に設定することによって、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路431の設定動作を素早く正確に行うことが出来る。

この場合の回路図を、図37に示す。なお、この場合、図38に示すように、第1のラッチ回路が有する電流源回路と第2のラッチ回路が有する電流源回路の間に、スイッチ432を配置しなくてもよい。しかし、その場合には、第1のラッチ回路が有する電流源回路と第2のラッチ回路が有する電流源回路との間で、電流が

流れ続けてしまうため、望ましくない。

そして最後に、第1のラッチ回路416が有する電流源回路431及び第2のラッチ回路417が有する電流源回路433が、両方とも図6（A）のような回路である場合について説明する。図6（A）のような回路の電流源回路を用いると、トランジスタの特性バラツキの影響をさらに抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受けない。しかしながら、ビデオ信号用定電流源109から供給される電流値を大きくできないため、設定動作を素早く行うことはできない。

10 この場合の回路図を、図39に示す。

なお、第1のラッチ回路416が有する電流源回路において、一つの構成のみの電流源回路を用いるのではなく、図6（A）のような回路を用いたり、図6（C）のようなカレントミラー回路を用いたりして、異なる構成の電流源回路を混合させて用いてもよい。同様に、第2のラッチ回路417が有する電流源回路においても、
15 混合させて用いてもよい。

なお、図39の構成では、電流は、画素から信号線を通り、電流源回路の方に向かって流れていた。しかし、電流の向きは、画素の構成によって変わる。そこで、電流源回路から画素の方へ電流が流れる場合の回路図を、図40に示す。

以上をまとめると、電流源回路（電流源回路431、電流源回路433）に図6
20 （C）のようなカレントミラー回路を採用し、さらにW/L値を適当な値に設定することにより、ビデオ信号用定電流源109から供給する電流を大きくすることが出来る。そしてその結果、電流源回路（電流源回路431、電流源回路433）の設定動作を正確に行うことが出来る。

ただし、図6（C）のようなカレントミラー回路においては、ゲート電極が共通
25 であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記2つの

トランジスタでトランジスタのチャネル幅 W とチャネル長 L の比率 W/L を、異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、第 1 のラッチ回路の電流源回路の場合は、ビデオ信号用定電流源 109 から供給される電流に相当し、第 2 のラッチ回路の電流源回路の場合は、第 1 のラッチ回路の電流源から供給される電流に相当する。

一方、図 6 (A) のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電流を大きくすることはできない。しかし、設定動作を行う時に電流を供給するトランジスタと、入力動作を行う時に電流を供給するトランジスタとは、同一のトランジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。したがって、各ラッチ回路において、設定動作を行う時の電流を大きくしたい部分には図 6 (C) のようなカレントミラー回路を用いて、より正確な電流を出力したい部分では図 6 (A) のような回路を用いるというように、適宜組み合わせて用いるのが望ましい。

なお、図 6 (C) のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも 2 つ有しており、前記 2 つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記 2 つのトランジスタの特性がそろっていれば、そこから出力される電流はばらつかない。逆に言うと、出力される電流がばらつかないようにするには、前記 2 つのトランジスタの特性がそろっていればよい。つまり、図 6 (C) のようなカレントミラー回路において、ゲート電極が共通である 2 つのトランジスタ間で、特性がそろっていればよい。ゲート電極が共通ではないトランジスタ間では、特性がそろっている必要はない。なぜなら、各々の電流源回路に対して、設定動作が行われるからである。つまり、設定動作の対象となったトランジスタと、入力動作の時に使用されるトランジスタとが、同じ特性になっていればよい。ゲート電極が共通ではないトランジ

スタ間で、特性がそろっていなくても、設定動作によって、各々の電流源回路に対して設定が行われるので、特性ばらつきは補正される。

通常、図 6 (C) のようなカレントミラー回路において、ゲート電極が共通である 2 つのトランジスタは、2 つのトランジスタの特性のばらつきを抑制できるため、

5 近接して配置される。

なお、単なるスイッチとして動作させるトランジスタは、極性（導電型）はどちらでもよい。

また、本発明の信号線駆動回路において、第 1 ラッチに配置された電流源回路について、レイアウト図を図 4 5 に、対応した回路図を図 4 6 に示す。

10 本実施の形態は、実施の形態 1、2 と自由に組み合わせることが可能である。

(実施の形態 4)

本実施の形態では、図 1 5 (A) に示した信号線駆動回路 4 0 3 の詳細な構成とその動作について説明するが、本実施の形態では、2 ビットのデジタル階調表示を行う場合に用いる信号線駆動回路 4 0 3 について説明する。

15 図 3 (B) には、2 ビットのデジタル階調表示を行う場合における信号線駆動回路 4 0 3 の概略図を示す。信号線駆動回路 4 0 3 は、シフトレジスタ 4 1 5、第 1 のラッチ回路 4 1 6、第 2 のラッチ回路 4 1 7 を有する。

動作を簡単に説明するとシフトレジスタ 4 1 5 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、ク
20 ロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ 4 1 5 より出力されたサンプリングパルスは、第 1 のラッチ回路 4 1 6 に入力される。第 1 のラッチ回路 4 1 6 には、ビデオ信号 (Digital Data 1、Digital Data 2) が入力されており、サンプリングパルスが入力されるタイミ
25 ングに従って、各列でビデオ信号を保持していく。

第 1 のラッチ回路 4 1 6 において、最終列までビデオ信号の保持が完了すると、

水平帰線期間中に、第2のラッチ回路417にラッチパルスが入力され、第1のラッチ回路416に保持されていたビデオ信号は、一斉に第2のラッチ回路417に転送される。すると、第2のラッチ回路417に保持されたビデオ信号は、1行分が同時に信号線に接続された画素へと入力されることになる。

- 5 第2のラッチ回路417に保持されたビデオ信号が画素に供給されている間、シフトレジスタ411においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。

10 なお1ビットのデジタルビデオ信号は、1ビット用のビデオ信号用定電流源109に接続された電流線から入力される。また2ビットのデジタルビデオ信号は、2ビット用のビデオ信号用定電流源109に接続された電流線から入力される。そして1ビット用、2ビット用のビデオ信号用定電流源109で設定された信号電流（ビデオ信号に相当）を電流源回路において保持する。

次いで第1のラッチ回路415及び第2のラッチ回路416の構成を図5、26、27を用いて説明する。

- 15 まず図5に示す第1のラッチ回路415及び第2のラッチ回路416の構成について説明する。図5には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路403の概略を示す。

20 なお図5に示す信号線駆動回路403は、第1のラッチ回路416が有する電流源回路431に、1ビット用のビデオ信号用定電流源109と、2ビット用のビデオ信号用定電流源109が接続されている。

したがって、第1のラッチ回路416が有する電流源回路431には、1ビット用のビデオ信号の電流と2ビット用のビデオ信号の電流との合計の電流が流れることになる。

- 25 次いで図26に示す第1のラッチ回路416及び第2のラッチ回路417の構成について説明する。図26には、 i 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路403の概略を示す。

信号線駆動回路403は、列ごとに電流源回路431a、スイッチ432a、電流源回路433a及びスイッチ434aと、電流源回路431b、スイッチ432b、電流源回路433b及びスイッチ434bとを有する。スイッチ432a、434a、432b、434bはラッチパルスにより制御される。

- 5 なおスイッチ432a及び432bと、スイッチ434a及び434bには互いに反転した信号が入力される。そのため、電流源回路433は、設定動作及び入力動作のどちらか一方を行う。

- ただし、電流源回路433が図6（C）のようなカレントミラー回路であり、設定動作と入力動作を同時に行える場合であり、かつ、電流源回路433にスイッチ
10 が配置されている場合、電流源回路433と信号線に接続された画素との間にあるスイッチ434は、省略できる。また、電流源回路433と信号線に接続された画素との間のスイッチ434は必要ない。電流源回路433と信号線に接続された画素との間にあるスイッチ434と同様に、電流源回路431と電流源回路433の間にあるスイッチ432も、省略できる。

- 15 各電流源回路431a、433a、431b及び433bは、端子a、端子b及び端子cを有する。各電流源回路431a、433a、431b及び433bは、端子aを介して入力される信号により制御される。また電流源回路431a及び電流源回路431bは、端子bを介してビデオ線（電流線）に接続されたビデオ信号用定電流源109を用いて設定された電流（信号電流I_{data}）が保持される。電流
20 源回路433a及び電流源回路433bは、端子bを介して第1のラッチ回路416が有する電流源回路431a及び電流源回路431bから出力された電流（信号電流I_{data}）が保持される。なお1ビット用の定電流源109において設定された電流は、電流源回路431a及び電流源回路433aにより保持される。また2ビット用の定電流源109において設定された電流は、電流源回路431b又は電流
25 源回路433bにより保持される。そして各電流源回路433a、433bと信号線に接続された画素との間にはスイッチ434a、434bが設けられており、前

記スイッチ434a、434bのオン又はオフはラッチパルスにより制御される。

したがって、画素には、電流源回路433aから流れる1ビット用のビデオ信号の電流と、電流源回路433bから流れる2ビット用のビデオ信号の電流との合計の電流が流れる。換言すると、電流源回路433aや電流源回路433bから画素
5 の方へ電流が流れる部分において、各ビットのビデオ信号の電流が足しあわされ、DA変換の動作が行われる。したがって、電流源回路から画素に電流が供給される際に、電流の大きさが各ビットに対応した電流値になっていればよい。

次いで、図27に示す第1のラッチ回路416及び第2のラッチ回路417の構成について説明する。図27には、i列目から(i+2)列目の3本の信号線の周
10 辺の信号線駆動回路403の概略を示す。

なお図27に示す信号線駆動回路403は、図26に示す信号線駆動回路403と比較すると、電流源回路433b及びスイッチ434bを除いて、電流源回路431bに保持されている電流が、電流源回路433bではなく、電流源回路433aに出力される点以外は同じであるので、ここでは説明を省略する。なお図27に
15 示す信号線駆動回路403は、図26に示す信号線駆動回路403に比べて、回路素子を少なくできるので、信号線駆動回路403の占有面積を小型化することが出来る。

図27において、電流源回路433aには、電流源回路431aから流れる1ビット用のビデオ信号の電流と、電流源回路431bから流れる2ビット用のビデオ
20 信号の電流との合計の電流が流れることになる。換言すると、電流源回路431aや電流源回路431bから電流源回路433aの方へ流れる部分において、各ビットのビデオ信号の電流が足しあわされ、DA変換の動作が行われる。したがって、画素から電流源回路に電流が供給される際に、電流の大きさが各ビットに対応した電流値になっていればよい。

25 そして図5、26、27に示す信号線駆動回路403において、デジタルビデオ信号が明信号のときには、各電流源回路から画素へ信号電流が出力される。反対に

ビデオ信号が暗信号のときには、各電流源回路から画素の間のラッチパルスが制御されて、画素への電流は流れない。つまり各電流源回路 4 3 3 a、4 3 3 b では、一定電流を流す能力（VGS）をビデオ信号により制御されており、画素へ出力する電流の大きさを用いて明るさが制御される。

5 なお本発明では端子 a から入力される設定信号とはシフトレジスタから出力されるサンプリングパルス又はラッチパルスを示す。つまり図 1 における設定信号とは、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路の設定を行う。

10 また第 1 のラッチ回路 4 1 6 が有する電流源回路の端子 a にはシフトレジスタ 4 1 5 から出力されるサンプリングパルスが入力される。そして第 2 のラッチ回路 4 1 7 が有する電流源回路の端子 a にはラッチパルスが入力される。

また本実施の形態では、2 ビットのデジタル階調表示を行うので、1 本の信号線ごとに 4 つの電流源回路 4 3 1 a、4 3 3 a、4 3 1 b 及び 4 3 3 b が設けられて
15 いる。そして 4 つの電流源回路の内、電流源回路 4 3 1 a 及び電流源回路 4 3 3 a、電流源回路 4 3 1 b 及び電流源回路 4 3 3 b に流れる信号電流 I data を 1 : 2 とし
て設定すると、 $2^2 = 4$ 段階で電流の大きさを制御出来る。

そして各電流源回路 4 3 1 a、4 3 3 a、4 3 1 b 及び 4 3 3 b の回路構成は、
図 6、図 7、図 2 9、図 3 0、図 3 2 などに示す電流源回路の回路構成を自由に用
20 いることが出来る。各電流源回路 4 2 0 は、全て一つの方式のみを用いるだけでなく、複数を採用してもよい。

そして以下には、まず図 2 6 における電流源回路（電流源回路 4 3 1 a、4 3 1
b、4 3 3 a 及び 4 3 3 b）に用いる方式の組合せの例と、その利点について説明
する。次いで、図 2 7 における電流源回路（電流源回路 4 3 1 a、4 3 1 b 及び 4
25 3 3 a）に用いる方式の組合せの例と、その利点について述べる。

図 2 6 において、電流源回路（電流源回路 4 3 1 a、4 3 1 b、4 3 3 a 及び 4

3 3 b) に用いる方式の組合せの例として、第 1 のラッチ回路 4 1 6 が有する電流源回路（電流源回路 4 3 1 a、4 3 1 b）及び第 2 のラッチ回路 4 1 7 が有する電流源回路（電流源回路 4 3 3 a、4 3 3 b）は、一方が図 6（A）のような回路であり、他方が図 6（C）のようなカレントミラー回路である場合について説明する。

- 5 なお図 6（C）のようなカレントミラー回路の電流源回路は、少なくとも 2 つのトランジスタを有し、前記 2 つのトランジスタのゲート電極は共通あるいは電氣的に接続されていることは上述した。そして 2 つのトランジスタのうち、一つのトランジスタのソース領域及びドレイン領域の一方と、もう一つのトランジスタのソース領域及びドレイン領域の一方は、異なる回路素子に接続されている。例えば図 2
- 10 0 に示す電流源回路では、2 つのトランジスタのうち、一つのトランジスタ（のソース領域及びドレイン領域の一方）は定電流源に接続され、もう一つのトランジスタ（のソース領域及びドレイン領域の一方）は画素に接続されている。

- そして最初に、図 2 6 において第 1 のラッチ回路 4 1 6 が有する電流源回路（電流源回路 4 3 1 a、4 3 1 b）が図 6（A）のような回路であり、第 2 のラッチ回路 4 1 7 が有する電流源回路（電流源回路 4 3 3 a、4 3 3 b）が図 6（C）のようなカレントミラー回路である場合について説明する。この場合には、図 6（C）のようなカレントミラー回路である電流源回路（電流源回路 4 3 3 a、4 3 3 b）が有する 2 つのトランジスタは、一方は第 1 のラッチ回路 4 1 6 が有する電流源回路 4 3 1 a 及び 4 3 1 b に接続され、他方はスイッチ 4 3 4 を介して画素に接続さ
- 15 れている。
- 20

- そして図 6（C）に示すようなカレントミラー回路の 2 つのトランジスタにおいて、第 1 のラッチ回路 4 1 6 が有する電流源回路（電流源回路 4 3 1 a、4 3 1 b）の方に接続されているトランジスタに比べて、画素の方に接続されているトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源 1
- 25 0 9 から供給される電流値を大きくすることが出来る。

 例えば画素に与える電流の大きさを P とする。そして画素に接続されている方の

トランジスタのW/L値を W_a として、電流源回路（電流源回路431a、431b）に接続されている方のトランジスタのW/L値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源109からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路

5 （電流源回路431a、431b）の設定動作を素早く正確に行うことが出来る。

また、第2のラッチ回路417が有する電流源回路（電流源回路433a、433b）が図6（C）のようなカレントミラー回路である場合、トランジスタのW（ゲート幅）/L（ゲート長）値を、各ビットによって、変えておいてもよい。その結果、下位ビットのビデオ信号用定電流源109から流れる電流や、第1のラッチ回路から第2のラッチ回路へ流れる電流を、より大きくすることができる。つまり、設定動作の時に流れる電流を大きくすることができる。また、第2のラッチ回路417が有する電流源回路（電流源回路433a、433b）が図6（C）のようなカレントミラー回路である場合、該カレントミラー回路において、電流の倍率が変わる。より具体的には、第2のラッチ回路から電流を出力する時点で、電流値が小さくなる。

15 る。つまり、入力動作の時の電流が小さくなり、画素へ流れる電流が小さくなる。そのため、第1のラッチ回路から第2のラッチ回路へと電流を流し、第2のラッチ回路の電流源回路に設定動作を行う場合は、第2のラッチ回路の電流源回路に流れる電流は小さくなっておらず、電流値が大きいので、素早く設定動作を行うことができる。

20 次いで、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）が図6（C）のようなカレントミラー回路であり、第2のラッチ回路417が有する電流源回路（電流源回路433a、433b）が図6（A）のような回路である場合について説明する。この場合には、図6（C）のようなカレントミラー回路である電流源回路（電流源回路433a、433b）の2つのトランジスタ

25 は、一方はビデオ信号用定電流源109（1ビット用、2ビット用）に接続され、他方は第2のラッチ回路417が有する電流源回路（電流源回路433a、433

b) に接続されている。

そして図6 (C) のようなカレントミラー回路の2つのトランジスタにおいて、ビデオ信号用定電流源109の方に接続されているトランジスタに比べて、第2のラッチ回路417が有する電流源回路(電流源回路433a、433b)に接続されている方のトランジスタの W (ゲート幅)/ L (ゲート長)値を小さくすると、ビデオ信号用定電流源109から供給される電流値を大きくすることが出来る。

例えば画素に与える電流の大きさを P とする。そして第2のラッチ回路417が有する電流源回路(電流源回路433a、433b)に接続されているトランジスタの W/L 値を W_a として、ビデオ信号用定電流源109に接続されているトランジスタの W/L 値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源109からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路(電流源回路431a、431b)の設定動作を素早く正確に行うことが出来る。

また、第1のラッチ回路416が有する電流源回路(電流源回路431a、431b)が図6 (C) のようなカレントミラー回路である場合、トランジスタの W (ゲート幅)/ L (ゲート長)値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源109から流れる電流を、より大きくすることができる。

つまり、ビデオ信号用定電流源109に接続されている方のトランジスタの W/L を、第2のラッチ回路に接続されている方のトランジスタの W/L よりも大きく設定する。要するに、設定動作を行う方のトランジスタの W/L を、入力動作を行う方のトランジスタの W/L よりも大きく設定する。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源109から流れる電流を、より大きくすることができる。

次いで、第1のラッチ回路416が有する電流源回路(電流源回路431a、431b)及び第2のラッチ回路417が有する電流源回路(電流源回路433a、

4 3 3 b) の両方が図 6 (C) のようなカレントミラー回路である場合について説明する。

例えば画素に与える電流の大きさを P とする。そして仮に、第 2 のラッチ回路 4 1 7 が有する電流源回路 (電流源回路 4 3 3 a、4 3 3 b) における、図 6 (C) 5 のようなカレントミラー回路の 2 つのトランジスタにおいて、画素に接続された方のトランジスタの W/L 値を W_a とすると、第 1 のラッチ回路 4 1 6 が有する電流源回路に接続された方のトランジスタの W/L 値を $(2 \times W_a)$ にする。そうすると第 2 のラッチ回路 4 1 7 において電流値が 2 倍になる。

また同様に、ビデオ信号用定電流源 1 0 9 に接続された方のトランジスタの W/L 10 値を $(2 \times W_b)$ とすると、第 2 のラッチ回路 4 1 7 に接続された方のトランジスタの W/L 値は W_b となる。そうすると第 1 のラッチ回路 4 1 6 において電流値が 2 倍になる。そうすると、ビデオ信号用定電流源 1 0 9 (1 ビット用、2 ビット用) からは、 $(4 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源 1 0 9 から供給される電流を大きくできるため、電流源回路の設定動作を素 15 早く正確に行うことができる。

また、電流源回路が図 6 (C) のようなカレントミラー回路である場合、トランジスタの W (ゲート幅) / L (ゲート長) 値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源 1 0 9 から流れる電流を、より大きくすることができる。

20 つまり、設定動作を行う方のトランジスタの W/L を、入力動作を行う方のトランジスタの W/L よりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源 1 0 9 から流れる電流を、より大きくすることができる。

第 1 のラッチ回路の電流源回路が図 6 (C) のようなカレントミラー回路である場合、ビデオ信号用定電流源 1 0 9 に接続されている方のトランジスタの W/L を、 25 第 2 のラッチ回路に接続されている方のトランジスタの W/L よりも大きくする。第 2 のラッチ回路の電流源回路が図 6 (C) のようなカレントミラー回路である場合、

第1のラッチ回路に接続されている方のトランジスタのW/Lを、画素や信号線に接続されている方のトランジスタのW/Lよりも大きくする。

最後に、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）及び第2のラッチ回路417が有する電流源回路（電流源回路433a、433b）が、両方とも図6（A）のような回路である場合について説明する。両方とも図6（A）のような回路を用いる場合には、電流源回路に配置するトランジスタの個数を少なくできるため、トランジスタの特性バラツキの影響を抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジスタであるため、トランジスタ間のばらつきの影響を全く受けない。

なお、第1のラッチ回路416が有する電流源回路の中で、図6（A）のような回路を用いたり、図6（C）のようなカレントミラー回路を用いたりして、混合させて用いてもよい。同様に、第2のラッチ回路417が有する電流源回路の中でも、混合させて用いてもよい。

特に、ビデオ信号用定電流源109から流れる電流が小さくなってしまう下位ビット用の電流源回路においては、図6（C）のようなカレントミラー回路を用いて、電流値を大きくすることは、有効である。

つまり、下位ビット用の電流源回路は、その電流源回路から流れる電流値が小さいので、設定動作に時間がかかってしまう。そこで、図6（C）のようなカレントミラー回路を用いて、電流値を大きくすれば、設定動作にかかる時間を短くすることができる。

また、図6（C）のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、下位ビット用の電流源回路の場合、画素や信号線に出力する電流値が小さい。そのため、前記2つのトランジスタの特性がばらついていても、その影響は小さい。以上のことから、下

位ビット用の電流源回路においては、図6（C）のようなカレントミラー回路を用いることは、効果的である。

以上をまとめると、図6（C）のようなカレントミラー回路を採用し、さらにW/L値を適当な値に設定することにより、ビデオ信号用定電流源109から供給する電流を大きくすることが出来る。そしてその結果、電流源回路の設定動作を正確に行うことが出来る。

ただし、図6（C）のようなカレントミラー回路においては、ゲート電極が共通であるトランジスタを少なくとも2つ有しており、前記2つのトランジスタの特性がばらつくと、そこから出力される電流もばらついてしまう。しかし、前記2つのトランジスタで、トランジスタのチャネル幅Wとチャネル長Lの比率W/Lを、異なる値に設定することにより、電流の大きさを変えることができる。通常は、設定動作の時の電流を大きくする。その結果、素早く設定動作をすることができる。

なお、設定動作の時の電流とは、第1のラッチ回路の電流源回路の場合は、ビデオ信号用定電流源109から供給される電流に相当し、第2のラッチ回路の電流源回路の場合は、第1のラッチ回路の電流源から供給される電流に相当する。

一方、図6（A）のような回路を用いる場合は、設定動作の時に流れる電流と、入力動作の時に流れる電流とは、ほぼ等しい。そのため、設定動作を行うための電流を大きくすることはできない。しかし、設定動作を行う時に電流を供給するトランジスタと、入力動作を行う時に電流を供給するトランジスタとは、同一のトランジスタである。よって、トランジスタ間のばらつきの影響は、全く受けない。したがって、各ラッチ回路において、また、各ビット用の回路において、設定動作を行う時の電流を大きくしたい部分には図6（C）のようなカレントミラー回路を用いて、より正確な電流を出力したい部分では図6（A）のような回路を用いるというように、適宜組み合わせて用いるのが望ましい。

次いで、図27における電流源回路（電流源回路431a、431b及び433a）に用いる方式の組合せの例と、その利点について述べる。

そして図 27 において、第 1 のラッチ回路 416 が有する電流源回路（電流源回路 431a、431b）が図 6（C）のようなカレントミラー回路であり、第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）が図 6（A）のような回路である場合について説明する。この場合には、図 6（C）のようなカレントミラー回路である電流源回路（電流源回路 433a、433b）の 2 つのトランジスタは、一方はビデオ信号用定電流源 109（1 ビット用、2 ビット用）に接続され、他方は第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）に接続されている。

そしてビデオ信号用定電流源 109 に接続されているトランジスタに比べて、第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）に接続されているトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源 109 から供給される電流値を大きくすることが出来る。

例えば画素に与える電流の大きさを P とする。そして第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）に接続されているトランジスタの W/L 値を W_a として、ビデオ信号用定電流源 109 に接続されているトランジスタの W/L 値を $(2 \times W_a)$ とすれば、ビデオ信号用定電流源 109 からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源 109 から供給される電流を大きくできるため、電流源回路（電流源回路 431a、431b）の設定動作を正確に行うことが出来る。

また、第 1 のラッチ回路 416 が有する電流源回路（電流源回路 431a、431b）が図 6（C）のようなカレントミラー回路である場合、トランジスタの W （ゲート幅）/ L （ゲート長）値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源 109 から流れる電流を、より大きくすることができる。

つまり、ビデオ信号用定電流源 109 に接続されている方のトランジスタの W/L を、第 2 のラッチ回路に接続されている方のトランジスタの W/L よりも大きくする。

要するに、設定動作を行う方のトランジスタの W/L を、入力動作を行う方のトランジスタの W/L よりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源 109 から流れる電流を、より大きくすることができる。

次いで、第 1 のラッチ回路 416 が有する電流源回路（電流源回路 431a、431b）が図 6（A）のような回路であり、第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）が図 6（C）のようなカレントミラー回路である場合について説明する。この場合には、図 6（C）のようなカレントミラー回路である電流源回路（電流源回路 433a、433b）の 2 つのトランジスタは、一方は第 1 のラッチ回路 416 が有する電流源回路（電流源回路 433a）に接続され、
10 他方は画素に接続されている。

そして第 1 のラッチ回路 416 が有する電流源回路に接続されているトランジスタに比べて、画素に接続されているトランジスタの W （ゲート幅）/ L （ゲート長）値を小さくすると、ビデオ信号用定電流源 109 や第 1 のラッチ回路から供給される電流値を大きくすることが出来る。

15 例えば画素に与える電流の大きさを P とする。そして画素に接続されているトランジスタの W/L 値を W_a として、第 1 のラッチ回路 417 が有する電流源回路に接続されているトランジスタの W/L 値を $(2 \times W_a)$ とすれば、第 1 のラッチ回路からは、 $(2 \times P)$ の電流が供給されることになる。そうすると、第 1 のラッチ回路から供給される電流を大きくできるため、電流源回路（電流源回路 431a、431b）の設定動作を正確に行うことが出来る。
20

次いで、第 1 のラッチ回路 416 が有する電流源回路（電流源回路 431a、431b）及び第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）の両方が図 6（C）のようなカレントミラー回路である場合について説明する。

例えば画素に与える電流の大きさを P とする。そして仮に、第 2 のラッチ回路 417 が有する電流源回路（電流源回路 433a）における、図 6（C）のようなカレントミラー回路の 2 つのトランジスタにおいて、画素に接続された方のトランジ
25

スタのW/L値を W_a とすると、第1のラッチ回路416が有する電流源回路に接続された方のトランジスタのW/L値を $(2 \times W_a)$ にする。そうすると第2のラッチ回路417において電流値が2倍になる。

また同様に、ビデオ信号用定電流源109に接続された方のトランジスタのW/L値を $(2 \times W_b)$ とすると、第2のラッチ回路417に接続された方のトランジスタのW/L値は W_b となる。そうすると第1のラッチ回路416において電流値が2倍になる。そうすると、ビデオ信号用定電流源109（1ビット用、2ビット用）からは、 $(4 \times P)$ の電流が供給されることになる。そうすると、ビデオ信号用定電流源109から供給される電流を大きくできるため、電流源回路の設定動作を素早く正確に行うことが出来る。

また、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）が図6（C）のようなカレントミラー回路である場合、トランジスタのW（ゲート幅）/L（ゲート長）値を、各ビットによって、変えてもよい。その結果、下位ビットのビデオ信号用定電流源109から流れる電流を、より大きくすることが出来る。

つまり、ビデオ信号用定電流源109に接続されている方のトランジスタのW/Lを、第2のラッチ回路に接続されている方のトランジスタのW/Lよりも大きくする。要するに、設定動作を行う方のトランジスタのW/Lを、入力動作を行う方のトランジスタのW/Lよりも大きくする。すると、設定動作を行うための電流、すなわち、ビデオ信号用定電流源109から流れる電流を、より大きくすることができる。

最後に、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）及び第2のラッチ回路417が有する電流源回路（電流源回路433a）は、両方とも図6（A）のような回路である場合について説明する。両方とも図6（A）のような回路を用いる場合には、配置されるトランジスタの個数を少なくできるため、トランジスタの特性バラツキの影響を抑制することが出来る。つまり、設定動作を行うトランジスタと入力動作を行うトランジスタとが、同一のトランジ

スタであるため、トランジスタ間の特性ばらつきの影響を全く受けない。

なお図26、図27において、1ビット用のビデオ信号用定電流源109は、1ビット用のビデオ線（Video data 線）に接続され、2ビット用のビデオ信号用定電流源109は、2ビット用のビデオ線（Video data 線）に接続されている。そして、

5 仮に1ビット用のビデオ信号用定電流源109から供給される電流を I とすると、2ビット用のビデオ信号用定電流源109から供給される電流を $2I$ としている。しかし、本発明はこれに限定されず、1ビット用のビデオ信号用定電流源109及び2ビット用のビデオ信号用定電流源109から供給される電流の大きさを同じにすることも出来る。1ビット用のビデオ信号用定電流源109及び2ビット用の

10 ビデオ信号用定電流源109から供給される電流の大きさを同じにすると、動作条件や負荷を同じにすることが可能であり、さらに電流源回路に信号を書き込む時間を同じにすることが出来る。

但しそのときには、第1のラッチ回路416が有する電流源回路（電流源回路431a、431b）には図6（C）のようなカレントミラー回路を採用する。そしてさらに、電流源回路431aが有するトランジスタと、電流源回路431bが有するトランジスタの W/L 値を2：1とする必要がある。そうすると、電流源回路431aから出力される電流の大きさと、電流源回路431bから出力される電流の大きさを2：1とすることが出来る。

また、図6（C）のようなカレントミラー回路を採用するのは、全てのビット用の電流源回路でもよいし、一部のビット用の電流源回路だけでもよい。より効果的なのは、下位ビット用の電流源回路に対して、図6（C）のようなカレントミラー回路を用い、上位ビット用の電流源回路に対しては、図6（A）のような回路を用いるのが望ましい。

なぜなら、上位ビットの電流源回路は、電流源回路のトランジスタの特性がわずかにばらついていても、電流値に与える影響が大きい。同程度にトランジスタの特性がばらついていても、上位ビットの電流源回路から供給される電流は、電流値自体が大き

いたため、ばらつきによる電流の差の絶対値も大きいからである。たとえば、トランジスタの特性が10%ばらついたとする。1ビット目の電流の大きさを I とすると、そのばらつき量は、 $0.1I$ である。一方、3ビット目の電流の大きさは、 $8I$ になるので、そのばらつき量は、 $0.8I$ となる。このように、上位ビットの電流源回路は、トランジスタの特性がわずかにばらついても、その影響が大きく出てしまう。

そのため、できるだけばらつきの影響が出ない方式が望ましい。また、上位ビットの電流は、電流値が大きいので、設定動作を行うのも、容易である。一方、下位ビットの電流は、多少ばらついても、電流値自体が小さいため、影響が少ない。また、下位ビットの電流は、電流値が小さいので、設定動作を行うのが、容易ではない。

この状況を解決するためには、下位ビット用の電流源回路に対して、図6(C)のようなカレントミラー回路を用い、上位ビット用の電流源回路に対しては、図6(A)のような回路を用いることが望ましい。

なお、図26の場合は、図6(C)のようなカレントミラー回路を採用するのは、第1のラッチ回路416ではなく、第2のラッチ回路417でもよい。あるいは、第1のラッチ回路416と第2のラッチ回路417の両方を、図6(C)のようなカレントミラー回路にしてもよい。

なお本実施の形態では、2ビットのデジタル階調表示を行う場合における信号線駆動回路の構成とその動作について説明した。しかし本発明は2ビットに限らず、本実施の形態を参考にして任意のビット数に対応した信号線駆動回路を設計し、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態1～3と自由に組み合わせることが可能である。

(実施の形態5)

図6(A)のような回路では、1本の信号線ごと(各列)に2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作(設定動作)を行い、他方の電流源回路を用いて画素に I_{data} を入力する動作(入力動作)を行うことが好ましいこ

とは上述した。これは、設定動作と入力動作とを同時に行うことが出来るためである。そこで本実施の形態では、本発明の信号線駆動回路に具備される図2に示した電流源回路420の回路構成の例について図8を用いて説明する。

本発明の信号線駆動回路の概略について図2を用いて説明する。図2には、i列
5 目から(i+2)列目の3本の信号線の周辺の信号線駆動回路が示されている。

図2において、信号線駆動回路403には、信号線ごとに電流源回路420が設けられている。そして電流源回路420は複数の電流源回路を有する。そしてここでは仮に2つの電流源回路を有するとして、電流源回路420は、第1電流源回路421及び第2電流源回路422を有するとする。第1電流源回路421及び第2
10 電流源回路422は、端子a、端子b、端子c及び端子dを有する。端子aからは、設定信号が入力される。端子bからは、電流線に接続されたビデオ信号用定電流源109から電流が供給される。また端子cからは、第1電流源回路421及び第2電流源回路422に保持された信号を出力する。つまり電流源回路420は、端子aから入力される設定信号及び端子dから入力される制御信号により制御され、端
15 子bからは供給される信号電流が入力され、該信号電流に比例した電流を端子cより出力する。なおスイッチ101は、電流源回路420と信号線に接続された画素の間、もしくは、電流源回路420と電流源回路420の間に設けられ、前記スイッチのオン又はオフは、ラッチパルスにより制御される。また端子dからは、制御信号が入力される。

20 なお本明細書では、電流源回路420に対して信号電流I_{data}の書き込みを終了させる(信号を設定する)動作を設定動作と呼び、信号電流I_{data}を画素に入力する動作を入力動作と呼ぶことにする。第1電流源回路421及び第2電流源回路422に入力される制御信号は互いに異なっているため、第1電流源回路421及び第2電流源回路422は、一方は設定動作を行い、他方は入力動作を行う。

25 本発明では端子aから入力される設定信号とはシフトレジスタから出力されるサンプリングパルス又はラッチパルスを示す。つまり図1における設定信号とは、

シフトレジスタから出力されるサンプリングパルス又はラッチパルスに相当する。そして本発明では、シフトレジスタから出力されるサンプリングパルス又はラッチパルスに合わせて、電流源回路 420 の設定を行う。

なお本発明の信号線駆動回路は、シフトレジスタ、第 1 のラッチ回路及び第 2 のラッチ回路を有する。そして第 1 のラッチ回路及び第 2 のラッチ回路は、それぞれ電流源回路を有する。つまり第 1 のラッチ回路が有する電流源回路の端子 a にはシフトレジスタから出力されるサンプリングパルスが入力される。そして第 2 のラッチ回路が有する電流源回路の端子 a にはラッチパルスが入力される。

電流源回路 420 は、端子 a から入力される設定信号により制御され、端子 b からは供給される信号電流が入力され、該信号電流に比例した電流を端子 c より出力する。

図 8 (A) において、スイッチ 134～スイッチ 139 と、トランジスタ 132 (n チャネル型) と、該トランジスタ 132 のゲート・ソース間電圧 VGS を保持する容量素子 133 とを有する回路が第 1 電流源回路 421 又は第 2 電流源回路 422 に相当する。

第 1 電流源回路 421 又は第 2 電流源回路 422 では、端子 a を介して入力される信号によってスイッチ 134、スイッチ 136 がオンとなる。また端子 d を介して制御線から入力される信号によってスイッチ 135、スイッチ 137 がオンとなる。そうすると、電流線に接続されたビデオ信号用定電流源 109 から端子 b を介して電流が供給され、容量素子 133 に電荷が保持される。そして定電流源 109 から流される信号電流 I_{data} がトランジスタ 132 のドレイン電流と等しくなるまで、容量素子 133 に電荷が保持される。

次いで、スイッチ 134～スイッチ 137 をオフにする。そうすると、容量素子 133 に所定の電荷が保持されているため、トランジスタ 132 は、信号電流 I_{data} の大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101、スイッチ 138、スイッチ 139 が導通状態になると、端子 c を介して信号線に接続

された画素に電流が流される。このとき、トランジスタ132のゲート電圧は、容量素子133により所定のゲート電圧に維持されているため、トランジスタ132のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキの影響を抑制して、画素において流れる電流の大きさを制御できる。

図8(B)において、スイッチ144～スイッチ147と、トランジスタ142(nチャネル型)と、該トランジスタ142のゲート・ソース間電圧 V_{GS} を保持する容量素子143と、トランジスタ148(nチャネル型)とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ144、スイッチ146がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ145、スイッチ147がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流が供給され、容量素子143に電荷が保持される。そして定電流源109から流れる信号電流 I_{data} がトランジスタ142のドレイン電流と等しくなるまで、容量素子143に電荷が保持される。なおスイッチ144、スイッチ145がオンとなると、トランジスタ148のゲート・ソース間電圧 V_{GS} が0Vとなるので、トランジスタ148はオフになる。

次いで、スイッチ144～スイッチ147をオフにする。そうすると、容量素子143に信号電流 I_{data} が保持されているため、トランジスタ142は、信号電流 I_{data} の大きさの電流を流す能力をもつことになる。そして仮にスイッチ101が導通状態になると、端子cを介して信号線に接続された画素に電流が流される。このとき、トランジスタ142のゲート電圧は、容量素子143により所定のゲート電圧に維持されているため、トランジスタ142のドレイン領域には信号電流 I_{data} に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御で

きる。

なおスイッチ 144、145 がオフすると、トランジスタ 142 のゲートとソースは同電位ではなくなる。その結果、容量素子 143 に保持された電荷がトランジスタ 148 の方にも分配され、トランジスタ 148 が自動的にオンになる。ここで、
5 トランジスタ 142、148 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 142、148 はマルチゲートのトランジスタとして動作することになる。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長 L が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とビデオ用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。

ここで、図 8 (A) は、図 6 (A) に対して、端子 d を追加した構成に相当する。図 8 (B) は、図 6 (B) に対して、端子 d を追加した構成に相当する。このよう
15 に、スイッチを直列に追加して修正することにより、端子 d を追加した構成に変形している。このように、図 2 の第 1 電流源回路 421 又は第 2 電流源回路 422 には、2 つのスイッチを直列に配置することで、図 6、図 7、図 29、図 30、図 32 などに示した電流源回路の構成を任意に用いることができる。

なお図 2 では、1 本の信号線ごとに第 1 電流源回路 421 又は第 2 電流源回路 4
20 22 の 2 つの電流源回路を有する電流源回路 420 を設けた構成を示したが、本発明はこれに限定されない。例えば、1 本の信号線ごとに 3 つの電流源回路 420 を設けてもよい。そして各電流源回路 420 には異なるビデオ信号用定電流源 109 から信号電流を設定するようにしてもよい。例えば、1 つの電流源回路 420 には、1 ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1 つの電流源回路
25 420 には、2 ビット用のビデオ信号用定電流源を用いて信号電流を設定し、1 つの電流源回路 420 には、3 ビット用のビデオ信号用定電流源を用いて信号電流を

設定するようにしてもよい。

本実施の形態は、実施の形態1～4と自由に組み合わせることが可能である。つまり、図4、図5、図26、図27に示すように、各列に1つの電流源回路が配置されていたところを、図2に示すように図6(A)の電流源回路を各列に2つ配置してもよい。そうすると、例えば図2において電流源回路421から供給される電流が4.9Aとして、電流源回路422から供給される電流を5.1Aとすると、フレーム毎に電流源回路421及び電流源回路422の一方から電流が供給されるようにすることによって、電流源回路のバラツキを平均化することが出来る。

(実施の形態6)

- 10 図2～図5において示したビデオ信号用定電流源109は、基板上に信号線駆動回路と一体形成してもよいし、ビデオ信号用電流109として、基板の外部からIC等を用いて一定の電流を入力してもよい。そして基板上に一体形成する場合には、図6～8、図29、図30、図32などに示した電流源回路のいずれを用いて形成してもよい。本実施の形態では、3ビット用のビデオ信号用電流源109を図6
- 15 (C)のようなカレントミラー回路の電流源回路で構成する場合について図23～図25を用いて説明する。

なお、電流が流れる向きは、画素の構成などにより、変わってくる。その場合、トランジスタの極性を変更することなどにより、容易に対応できる。

- 図23において、ビデオ信号用定電流源109は、ビデオ線(Video data線)(電
- 20 流線)へ所定の信号電流I_{data}を出力するか否かを3ビットのデジタルビデオ信号(Digital Data1～Digital Data3)が有するHigh又はLowの情報によって制御される。

- ビデオ信号用定電流源109は、スイッチ180～スイッチ182、トランジスタ183～トランジスタ188及び容量素子189を有する。本実施の形態では、
- 25 トランジスタ180～トランジスタ188は全てnチャネル型とする。

スイッチ180は1ビットのデジタルビデオ信号により制御される。スイッチ1

81は2ビットのデジタルビデオ信号により制御される。スイッチ183は3ビットのデジタルビデオ信号により制御される。

トランジスタ183～トランジスタ185のソース領域とドレイン領域は、一方は V_{SS} に接続され、他方はスイッチ180～スイッチ182の一方の端子に接続されている。トランジスタ186のソース領域とドレイン領域は、一方は V_{SS} に接続され、他方はトランジスタ188のソース領域とドレイン領域の一方に接続されている。

トランジスタ187とトランジスタ188のゲート電極には、端子eを介して外部から信号が入力される。また電流線190には端子fを介して外部から電流が供給される。

トランジスタ187のソース領域とドレイン領域は、一方はトランジスタ186のソース領域とドレイン領域の一方に接続され、他方は容量素子189の一方の電極に接続されている。トランジスタ188のソース領域とドレイン領域は、一方は電流線190に接続され、他方はトランジスタ186のソース領域とドレイン領域の一方に接続されている。

容量素子189の一方の電極は、トランジスタ183～トランジスタ186のゲート電極に接続され、他方の電極は V_{SS} に接続されている。容量素子189は、トランジスタ183～トランジスタ186のゲート・ソース間電圧を保持する役目を担う。

そしてビデオ信号用定電流源109では、端子eから入力される信号によりトランジスタ187及びトランジスタ188がオンになると、端子fから供給される電流が電流線190を介して容量素子189に流れていく。

そして徐々に容量素子189に電荷が蓄積され、両電極間に電位差が生じ始める。そして両電極間の電位差が V_{th} になると、トランジスタ183～トランジスタ186はオンになる。

容量素子189において、その両電極の電位差、つまりトランジスタ183～ト

ランジスタ186のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続けられる。言い換えると、トランジスタ183～トランジスタ186が信号電流を流すことが出来るまで、電荷の蓄積が続けられる。

そして電荷の蓄積が終了すると、トランジスタ183～トランジスタ186は完全にオンになる。

そしてビデオ信号用定電流源109において、3ビットのデジタルビデオ信号により、スイッチ180～スイッチ182の導通又は非導通が選択される。例えば、スイッチ180～スイッチ182が全て導通状態になったときは、電流線に供給される電流は、トランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流の総和となる。また、スイッチ180のみが導通状態になったときは、トランジスタ183のドレイン電流のみが電流線に供給される。

このときトランジスタ183のドレイン電流と、トランジスタ184のドレイン電流と、トランジスタ185のドレイン電流を1:2:4として設定すると、 $2^3 = 8$ 段階で電流の大きさを制御出来る。そのため、トランジスタ183～185のW(チャネル幅)/L(チャネル長)値を、1:2:4として設計すると、それぞれのオン電流が1:2:4となる。

なお、図23では、電流線(ビデオ)線が1本の場合について示した。しかし、電流を供給する信号線駆動回路の構成が図4のような回路か、又は図26、図27のような回路かによって、電流線(ビデオ線)の数は異なる。そこで、図23の回路において、電流線(ビデオ線)が複数になった場合を、図41に示す。

次いで図23とは異なる構成のビデオ信号用電流源109を図24に示す。図24においては、図23に示すビデオ信号用電流源109と比べて、トランジスタ187、188を除いて、容量素子189の一方の端子を電流線190に接続した構成になっている点以外は、図23に示すビデオ信号用電流源109の動作と同じであるので、本実施の形態では説明は省略する。

図24の構成では、ビデオ線（電流線）に電流を供給し続けている間は、端子fより信号（電流）を入力しつづけなければならない。もし、端子fより流れる電流の入力を止めると、容量素子189にある電荷が、トランジスタ186を通して放電されてしまう。その結果、トランジスタ186のゲート電極の電位が小さくなり、

5 トランジスタ183～185から、正常な電流が出力できなくなってしまう。一方、図23の構成の場合には、容量素子189に所定の電荷が保持されているため、ビデオ線（電流線）に電流を供給している間においても、端子fより信号（電流）を入力し続ける必要はない。よって、図24の構成では、容量素子189は、省略してもよい。

- 10 なお、図24では、電流線（ビデオ）線が1本の場合について示した。しかし、図4のような回路か、又は図26、図27のような回路かによって、電流線（ビデオ線）の数は異なる。そこで、図24の回路において、電流線（ビデオ線）が複数になった場合の図を、図42に示す。

続いて図23、24とは異なる構成のビデオ信号用電流源109を図25に示す。

- 15 図25においては、図23に示すビデオ信号用電流源109と比べて、トランジスタ186、187、188及び容量素子189を除いて、トランジスタ183～トランジスタ185のゲート電極には端子fを介して外部から一定の電圧が印加される構成になっている点以外は、図23に示すビデオ信号用電流源109の動作と同じあるので、本実施の形態では説明は省略する。
- 20 図25の場合は、端子fから、トランジスタ183～185のゲート電極に電圧（ゲート電圧）を加える。しかし、トランジスタ183～185は、同じゲート電圧が印加されても、該トランジスタ183～185の特性がばらつけば、該トランジスタ183～185のソース・ドレイン間に流れる電流値もばらつく。したがって、ビデオ線（電流線）に流れる電流もばらつく。また、温度によっても、特性が
- 25 変化するため、電流値も変化してしまう。

一方、図23、図24の場合は、端子fより、電圧を加えることもできるが、電

流を加えることもできる。電流を加えた場合、トランジスタ183～186までの特性がそろっていれば、電流値はばらつかなくなる。また、温度によって特性が変化しても、トランジスタ183～186の特性が、同程度に変化するため、電流値は変化しなくなる。

- 5 なお図25の場合は、端子fから、トランジスタ183～185に電圧（ゲート電圧）を加えるが、その電圧はビデオ信号によって変化しない。図25においては、ビデオ信号は、スイッチ180～182を制御することで、電流が電流線に流れるかどうかを制御する。そこで、図43のように、トランジスタ183～185のゲート電極に電圧（ゲート電圧）を加え、その電圧はビデオ信号によって変化するよう
- 10 うにしてもよい。これにより、ビデオ信号用電流の大きさを変えることができる。また、図44のように、トランジスタ183のゲート電極に加える電圧（ゲート電圧）をアナログ電圧にして、階調にしたがって、電圧を変化させ、電流を変えるようにしてもよい。

- 続いて図23、24、25とは異なる構成のビデオ信号用電流源109を図9に
- 15 示す。図23では、図6（C）の電流源回路を適用していたが、図9では、図6（A）の電流源回路を適用している。

- 図23の場合、トランジスタ183～186の特性がばらつくと、電流値もばらついてしまう。一方、図9では、各電流源に対して設定動作を行っている。よって、トランジスタのばらつきの影響を小さくすることができる。ただし、図9の場合、
- 20 設定動作を行っているときには、入力動作（電流線へ電流を供給する動作）を同時に行うことができない。よって、設定動作は、入力動作を行っていない期間に行う必要がある。入力動作を行っている期間にも設定動作ができるようにするためには、図10のように、複数の電流源回路を配置し、一方の電流源回路が設定動作を行っている時には、もう一方の電流源回路で入力動作を行うようにしてもよい。

- 25 なお本実施の形態は、実施の形態1～5と自由に組み合わせることが可能である。（実施の形態7）

本発明の実施の形態について、図 1 1 を用いて説明する。図 1 1 (A) において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路に電流源 A、定電流回路に電流源 B を配置する。電流源 A、B から供給される電流を I_A 、 I_B とし、画素に供給される信号電流を I_{data} とすると、 $I_A = I_B + I_{data}$ が成立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、 I_A 、 I_B を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A からの電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

図 1 1 (B) において、ビデオ信号用定電流源（以下定電流源と表記）C、E は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からビデオ信号用電流が供給される。

なお、図 1 1 (B) において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにすることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとりことが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1 ～ 6 と任意に組み合わせることが可能である。

〈実施例 1〉

本実施例では、時間階調方式について図 1 4 を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度である。つまり図 1 4 (A) に示すように、1 秒間に 60 回程度の画面の描画が行わ

れる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。

本実施例では一例として、特許文献1の公報にて公開されている時間階調方式を説明する。時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では3ビット階調であるので、3つのサブフレーム期間SF1～SF3に分割している例を示す（図14（B））。

各サブフレーム期間は、アドレス（書き込み）期間 T_a と、サステイン（発光）期間 T_s とを有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光する期間である。このとき、サステイン（発光）期間SF1～SF3は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ としている。つまり、 n ビット階調を表現する際は、 n 個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ としている。そして、どのサステイン期間で発光素子が発光するかによって、1フレーム期間あたりに、各画素が発光する期間の長さが決定し、これによって階調表現を行う。

次いで、時間階調方式を適用した画素における具体的な動作について説明するが、本実施例では図16（B）に示す画素を参照して説明する。図16（B）に示す画素は、電流入力方式が適用される。

まずアドレス期間 T_a においては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TFT606、607がオンする。このとき、信号線601を流れる電流を信号電流 I_{data} とする。そして容量素子610には所定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が終了して、TFT606、607がオフする。

次いでサステイン期間 T_s においては、以下の動作を行う。第3の走査線604

が選択されて、T F T 6 0 9 がオンする。容量素子 6 1 0 には先ほど書き込んだ所定の電荷が保持されているため、T F T 6 0 8 はオンしており、電流線 6 0 5 から信号電流 I data に等しい電流が流れる。これにより発光素子 6 1 1 が発光する。

以上の動作を各サブフレーム期間で行うことにより、1 フレーム期間を構成する。

- 5 この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図 1 4 (B) (C) に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1 フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内に、その順序は変化しても良い。
- 10 また、m 行目の走査線のサブフレーム期間 S F 2 を図 1 4 (D) に図示する。図 1 4 (D) に図示するように、画素ではアドレス期間 T a 2 が終了したら、直ちにサステイン期間 T s 2 が開始されている。

本実施例は、実施の形態 1 ～ 7 と任意に組み合わせることが可能である。

〈実施例 2〉

- 15 本実施例では、画素部に設けられる画素の回路の構成例について図 1 3 を用いて説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

- 図 1 3 (A) の画素は、信号線 1 1 0 1、第 1 および第 2 の走査線 1 1 0 2、1
20 1 0 3、電流線（電源線） 1 1 0 4、スイッチング用 T F T 1 1 0 5、保持用 T F T 1 1 0 6、駆動用 T F T 1 1 0 7、変換駆動用 T F T 1 1 0 8、容量素子 1 1 0 9、発光素子 1 1 1 0 とを有する。各信号線は、電流源回路 1 1 1 1 に接続されている。

- 25 なお、電流源回路 1 1 1 1 が、信号線駆動回路 4 0 3 に配置されている電流源回路 4 2 0 に相当する。

スイッチング用 T F T 1 1 0 5 のゲート電極は、第 1 の走査線 1 1 0 2 に接続さ

れ、第1の電極は信号線1101に接続され、第2の電極は駆動用TFT1107の第1の電極と、変換駆動用TFT1108の第1の電極とに接続されている。保持用TFT1106のゲート電極は、第2の走査線1103に接続され、第1の電極は変換駆動用TFT1106の第1の電極に接続され、第2の電極は駆動用TFT1107のゲート電極と、変換駆動用TFT1108のゲート電極とに接続されている。駆動用TFT1107の第2の電極は、電流線（電源線）1104に接続され、変換駆動用TFT1108の第2の電極は、発光素子1110の一方の電極に接続されている。容量素子1109は、変換駆動用TFT1108のゲート電極と第2の電極との間に接続され、変換駆動用TFT1108のゲート・ソース間電圧を保持する。電流線（電源線）1104および発光素子1110の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（A）の画素は、図30（B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13（A）の駆動用TFT1107が図30（B）のTFT126に相当し、図13（A）の変換駆動用TFT1108が図30（B）のTFT122に相当し、図13（A）の保持用TFT1106が図30（B）のTFT124に相当する。

図13（B）の画素は、信号線1151、第1及び第2の走査線1142、1143、電流線（電源線）1144、スイッチング用TFT1145、保持用TFT1146、変換駆動用TFT1147、駆動用TFT1148、容量素子1149、発光素子1140とを有する。信号線1151は電流源回路1141に接続されている。

なお、電流源回路1141が、信号線駆動回路403に配置されている電流源回路420に相当する。

スイッチング用TFT1145のゲート電極は、第1の走査線1142に接続され、第1の電極は信号線1151に接続され、第2の電極は駆動用TFT1148

の第1の電極と、変換駆動用TFT1147の第1の電極とに接続されている。保持用TFT1146のゲート電極は、第2の走査線1143に接続され、第1の電極は駆動用TFT1148の第1の電極に接続され、第2の電極は駆動用TFT1148のゲート電極と、変換駆動用TFT1147のゲート電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線（電源線）1144に接続され、駆動用TFT1148の第2の電極は、発光素子1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147のゲート・ソース間電圧を保持する。電流線（電源線）1144および発光素子1140の他方の電極には、
10 それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（B）の画素は、図6（B）の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図13（B）の変換駆動用TFT1147が図6（B）のTFT122に相当し、図13（B）の駆動用TFT1148が図6（B）のTFT126に相当し、
15 図13（B）の保持用TFT1146が図6（B）のTFT124に相当する。

図13（C）の画素は、信号線1121、第1の走査線1122、第2の走査線1123、第3の走査線1135、電流線1124、電流線1138、スイッチング用TFT1125、消去用TFT1126、駆動用TFT1127、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素子1131、電流
20 入力TFT1132、保持TFT1133、発光素子1136とを有する。各信号線は、電流源回路1137に接続されている。

スイッチング用TFT1125のゲート電極は、第1の走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT1127のゲート電極
25 と、消去用TFT1126の第1の電極とに接続されている。消去用TFT1126のゲート電極は、第2の走査線1123に接続され、消去用TFT1126の第

2の電極は電流線1124に接続されている。駆動用TF T 1 2 7の第1の電極は発光素子1136の一方の電極に接続され、駆動用TF T 1 1 2 7の第2の電極は電流源TF T 1 1 2 9の第1の電極に接続されている。電流源TF T 1 1 2 9の第2の電極は電流線1124に接続されている。容量素子1131の一方の電極は、

5 電流源TF T 1 1 2 9のゲート電極及びミラーTF T 1 1 3 0のゲート電極に接続され、他方の電極は電流線1124に接続されている。ミラーTF T 1 1 3 0の第1の電極は電流線1124に接続され、ミラーTF T 1 1 3 0の第2の電極は、電流入力TF T 1 1 3 2の第1の電極に接続されている。電流入力TF T 1 1 3 2の第2の電極は電流線1138に接続され、電流入力TF T 1 1 3 2のゲート電極

10 は第3の走査線1135に接続されている。電流保持TF T 1 1 3 3のゲート電極は第3の走査線1135に接続され、電流保持TF T 1 1 3 3の第1の電極は電源線1138に接続され、電流保持TF T 1 1 3 3の第2の電極は電流源TF T 1 1 2 9のゲート電極及びミラーTF T 1 1 3 0のゲート電極に接続されている。電流線1124および発光素子1136の他方の電極には、それぞれ所定の電位が入力

15 され、互いに電位差を有する。

本実施例は、実施の形態1～7、実施例1と任意に組み合わせることが可能である。

〈実施例3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

20 発光素子が有機EL素子である場合、発光素子に同じ大きさの電流を流しても、色によって、その輝度が異なる場合がある。また、発光素子が経時的な要因などにより劣化した場合、その劣化の度合いは、色によって異なる。そのため、発光素子を用いた発光装置において、カラー表示を行う際には、そのホワイトバランスを調節するためにさまざまな工夫が必要である。

25 最も単純な手法は、画素に入力する電流の大きさを色によって変えることである。そのためには、ビデオ信号用定電流源の電流の大きさを色によって変えればよい。

その他の手法としては、画素、信号線駆動回路、ビデオ信号用定電流源などにおいて、図6（C）～図6（E）のような回路を用いることである。そして、図6（C）～図6（E）のような回路において、カレントミラー回路を構成する2つのトランジスタのW/Lの比率を色によって変える。これにより、画素に入力する電流の大きさが色によって変えることができる。

さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合、また用いていない場合のどちらの場合にも適用できる。本手法により、各画素の輝度を調節することができる。

以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、ホワイトバランスを容易に調節することができる。

本実施例は、実施の形態1～7、実施例1、2と任意に組み合わせることが可能である。

〈実施例4〉

本実施例では、本発明の発光装置（半導体装置）の外観について、図12を用いて説明する。図12は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図12（B）は、図12（A）のA-A'における断面図、図12（C）は図12（A）のB-B'における断面図である。

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路40

03と、ゲート信号線駆動回路4004a、bとは、複数のTF Tを有している。
図12(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TF T(但し、ここではnチャネル型TF Tとpチャネル型TF Tを図示)4201及び画素部4002に含まれる消去用TF T4202
5 を図示した。

本実施例では、駆動TF T4201には公知の方法で作製されたpチャネル型TF Tまたはnチャネル型TF Tが用いられ、消去用TF T4202には公知の方法で作製されたnチャネル型TF Tが用いられる。

駆動TF T4201及び消去用TF T4202上には層間絶縁膜(平坦化膜)4
10 301が形成され、その上に消去用TF T4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したもの
15 のを用いても良い。

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には発光層4204が形成される。発光層4204は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系(モノ
20 マー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層4204の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰
25 極4205が形成される。また、陰極4205と発光層4204の界面に存在する

水分や酸素は極力排除しておくことが望ましい。従って、発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極5 4205は所定の電圧が与えられている。

以上のようにして、画素電極（陽極）4203、発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

10 4005aは電源線に接続された引き回し配線であり、消去用TFT4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、
15 セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。
20

但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外
25 線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラ

ル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

また充填材4210を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面5に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

図12 (C) に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

また、異方導電性フィルム4300は導電性フィラー4300aを有している。15 基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

本実施例は、実施の形態1～7、実施例1～3と任意に組み合わせることが可能である。

20 〈実施例5〉

発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、25 音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型

ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望まし

5 い。それら電子機器の具体例を図22に示す。

図22(A)は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明は表示部2003に用いることができる。また本発明により、図22(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図22(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は表示部2102に用いることができる。また本発明により、
15 図22(B)に示すデジタルスチルカメラが完成される。

図22(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明は表示部2203に用いることができる。また本発明により、図22(C)に示す発光装置が完成される。

20 図22(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は表示部2302に用いることができる。また本発明により、図22(D)に示すモバイルコンピュータが完成される。

図22(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部24
25

07等を含む。表示部A 2403は主として画像情報を表示し、表示部B 2404は主として文字情報を表示するが、本発明はこれら表示部A、B 2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明より、図22(E)に示すDVD再生装置が完成
5 される。

図22(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明は表示部2502に用いることができる。また本発明により、図22(F)に示すゴーグル型ディスプレイが完成される。

10 図22(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明は表示部2602に用いることができる。また本発明により、図22(G)に示すビデオカメラが完成される。

15 ここで図22(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図22(H)に示す
20 携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子
25 通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動

画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合に

- 5 は、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態 1～7、実施例 1～4 に示したいずれの構成を用いても良い。

- 10 本発明は、T F T の特性バラツキの影響を抑制して、所望の信号電流を外部に供給することができる信号線駆動回路を提供することができる。

- また本発明の信号線駆動回路には、各々が電流源回路を具備した第 1 及び第 2 のラッチが配置される。そして、電流源回路として、カレントミラー回路が有する構成を採用した場合には、その W/L を適宜変化させることで、ビデオ信号用定電流源
- 15 から大電流を供給することができる。その結果、設定動作を素早く正確に行うことができる。また第 1 のラッチが有する第 1 電流源回路、第 2 のラッチが有する電流源回路において、一方は設定動作を行い、他方は入力動作を行うことが可能となるため、本構成では、同時に 2 つの動作を行うことが出来る。

請 求 の 範 囲

1. 複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びビデオ信号用定電流源を有する信号線駆動回路であって、

- 5 前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチに配置され、

前記第1電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記ビデオ信号用定電流源から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 10 前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。

2. 複数の信号線の各々に対応した第1及び第2電流源回路、並びにシフトレジスタ及びn個のビデオ信号用定電流源（nは1以上の自然数）を有する信号線駆動回

- 15 路であって、

前記第1電流源回路は第1ラッチに配置され、前記第2電流源回路は第2ラッチに配置され、

前記第1電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記n個のビデオ信号用定電流源の各々から供給される電流を加算した

- 20 電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記第2電流源回路は、ラッチパルスに従って、前記第1ラッチから供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

- 25 前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする信号線駆動回路。

3. 複数の信号線の各々に対応した $2 \times n$ 個の電流源回路、並びにシフトレジスタ及び n 個のビデオ信号用定電流源 (n は 1 以上の自然数) を有する信号線駆動回路であって、

前記 $2 \times n$ 個の電流源回路のうち、 n 個の電流源回路が第 1 及び第 2 ラッチの
5 各々に配置され、

前記第 1 ラッチに配置された n 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

10 前記第 2 ラッチに配置された n 個の電流源回路は、ラッチパルスに従って、前記第 1 ラッチから供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記複数の信号線には、前記第 2 ラッチに配置された n 個の電流源回路の各々から供給される電流を加算した電流が供給され、

15 前記 n 個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^n$ に設定されることを特徴とする信号線駆動回路。

4. 複数の信号線の各々に対応した $(n+m)$ 個の電流源回路、並びにシフトレジスタ及び n 個のビデオ信号用定電流源 (n は 1 以上の自然数、 $n \geq m$) を有する信号線駆動回路であって、

20 前記 $(n+m)$ 個の電流源回路のうち、 n 個の電流源回路が第 1 ラッチに配置され、 m 個の電流源回路が第 2 ラッチに配置され、

前記第 1 ラッチに配置された n 個の電流源回路は、前記シフトレジスタから供給されるサンプリングパルスに従って、前記 n 個のビデオ信号用定電流源の各々から供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を

25 供給する供給手段を有し、

前記第 2 ラッチに配置された m 個の電流源回路は、ラッチパルスに従って、前記

第1ラッチに配置されたn個の電流源回路の各々から供給される電流を加算した電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

前記n個のビデオ信号用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$

5 2^n に設定されることを特徴とする信号線駆動回路。

5. 請求項1乃至請求項4のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10 6. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、前記ビデオ信号用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

15 7. 請求項1乃至請求項4のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

20 8. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、第1及び第2トランジスタで構成されるカレントミラー回路と、前記第1及び前記第2トランジスタのゲートとソースの導通を制御する第1スイッチと、前記ビデオ信号用定電流源と前記第1及び前記第2トランジスタのゲートの導通を制御する第2スイッチを有することを特徴とする信号線駆動回路。

25 9. 請求項1乃至請求項4のいずれか一項において、

前記容量手段は、前記供給手段が有する第1及び第2トランジスタの一方のドレ

インとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、第1及び第2のトランジスタを含むカレントミラー回路と、

5 前記ビデオ信号用定電流源と前記第1トランジスタのドレインとの導通を制御する第1スイッチと、

前記第1トランジスタのドレインとゲート、前記第1トランジスタのゲートと前記第2トランジスタのゲート、前記第1及び前記第2トランジスタのゲートと前記ビデオ信号用定電流源から選択されたいずれか1つとの導通を制御する第2スイ

10 ャッチとを有することを特徴とする信号線駆動回路。

11. 請求項8乃至請求項10のいずれか一項において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

12. 請求項8乃至請求項10のいずれか一項において、

15 前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

13. 請求項1乃至請求項4のいずれか一項において、

前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第1及び第2スイッチと、前記トランジスタのゲートとドレインの導通を制御する

20 第3スイッチを有し、

前記トランジスタのゲートは前記第1スイッチに接続され、前記トランジスタのソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

14. 請求項1乃至請求項4のいずれか一項において、

25 前記供給手段は、 a 個のトランジスタを含むカレントミラー回路を有し、

前記 a 個のトランジスタのゲート幅/ゲート長は $2^0 : 2^1 : \dots : 2^a$ に設定さ

れ、

前記 a 個のトランジスタのドレイン電流は $2^0 : 2^1 : \dots : 2^a$ に設定されることを特徴とする信号線駆動回路。

15. 請求項 1 乃至請求項 4 のいずれか一項において、

- 5 前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

16. 請求項 1 乃至請求項 4 のいずれか一項において、

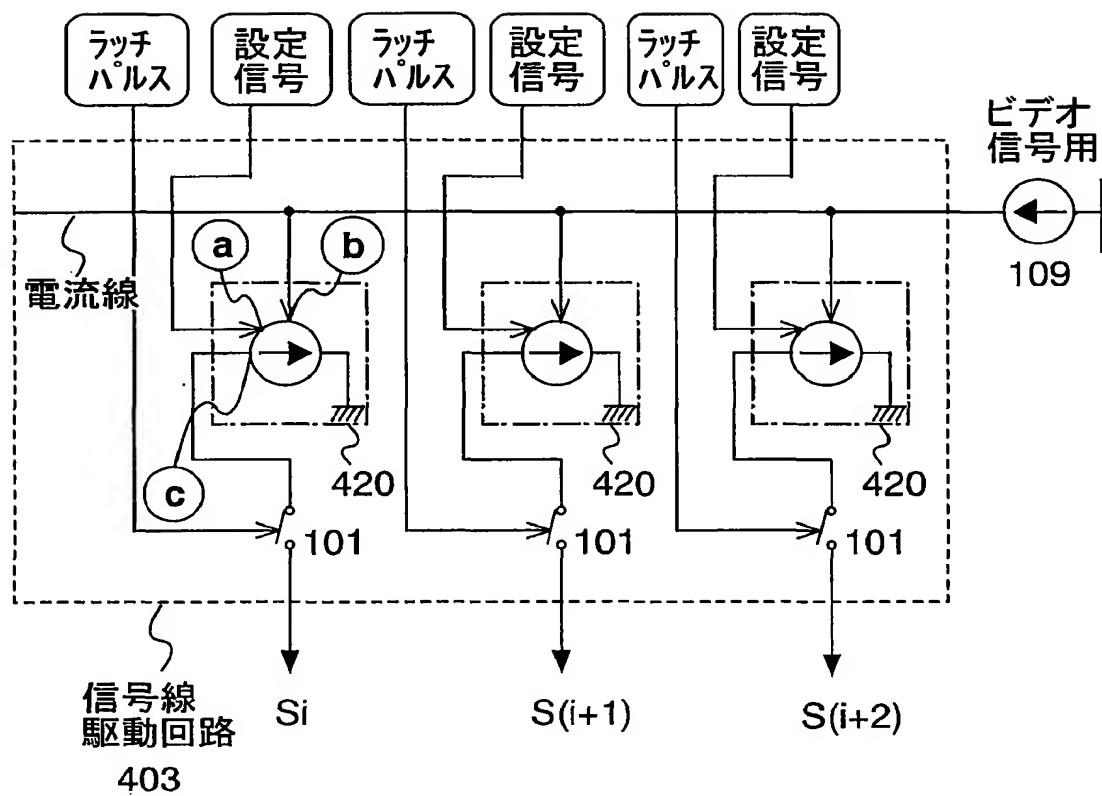
前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

- 10 17. 請求項 1 乃至請求項 16 のいずれか一項に記載の前記信号線駆動回路と、
各々が発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記第 2 ラッチから電流が供給されることを特徴とする発光装置。

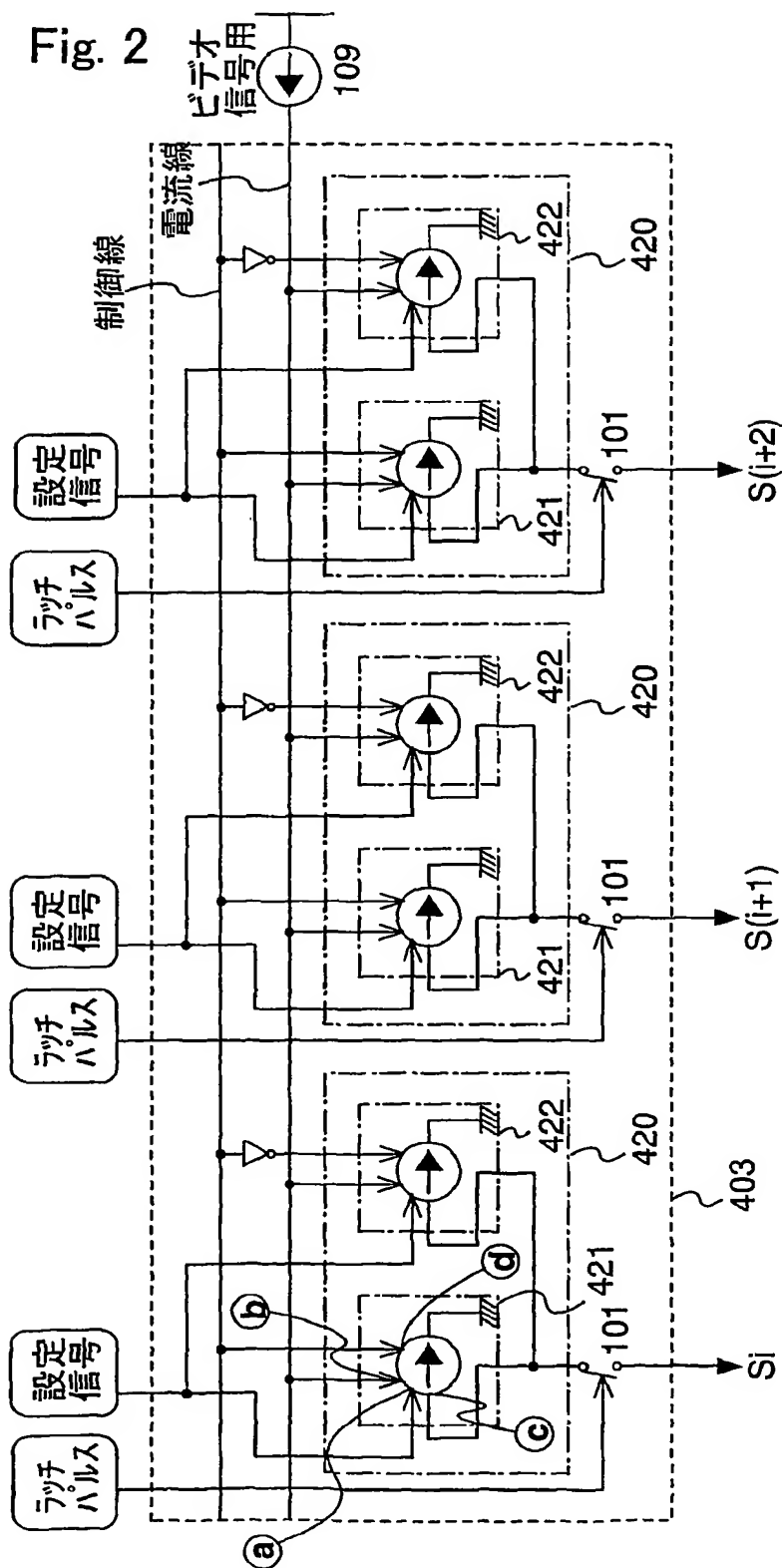
1/42

Fig. 1



2/42

Fig. 2



3/42

Fig. 3A

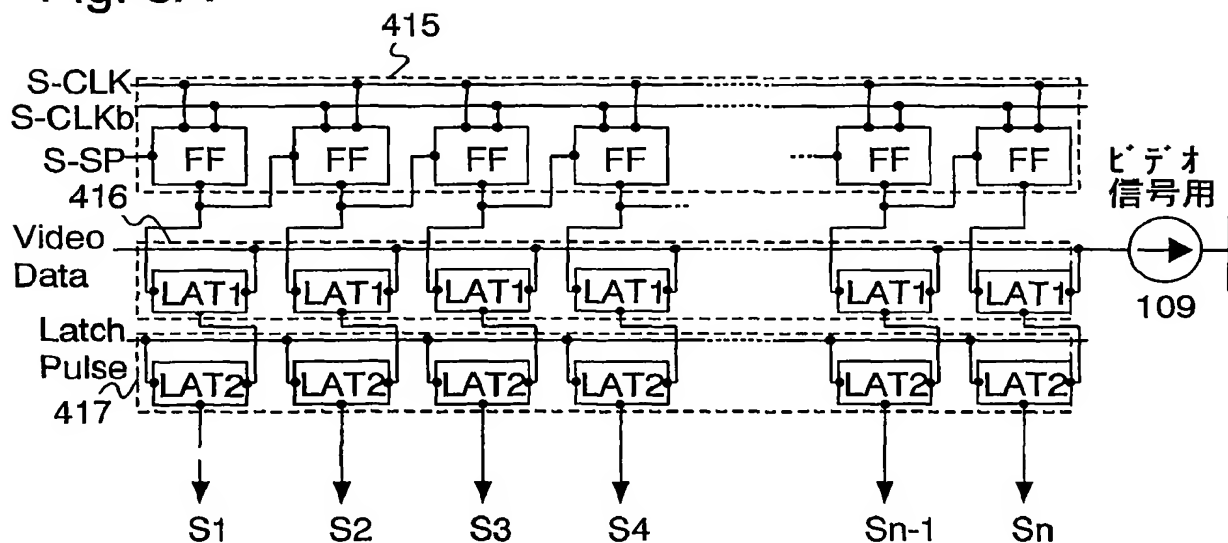
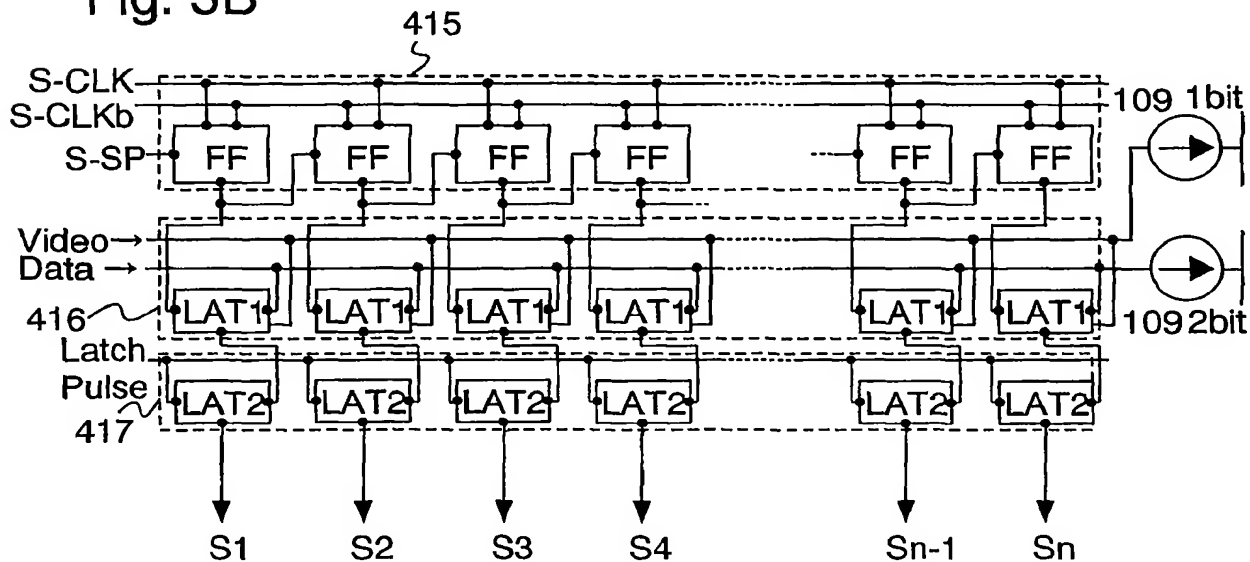
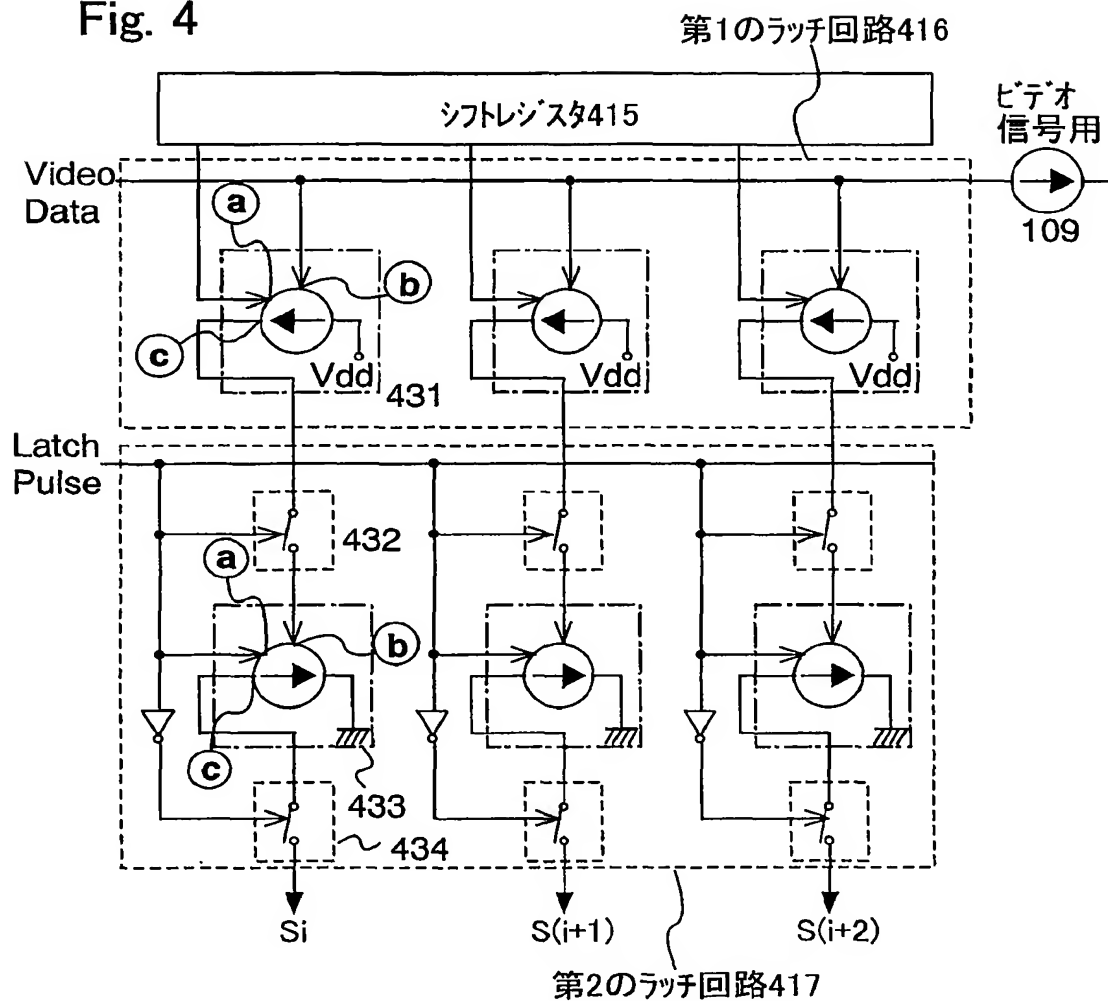


Fig. 3B



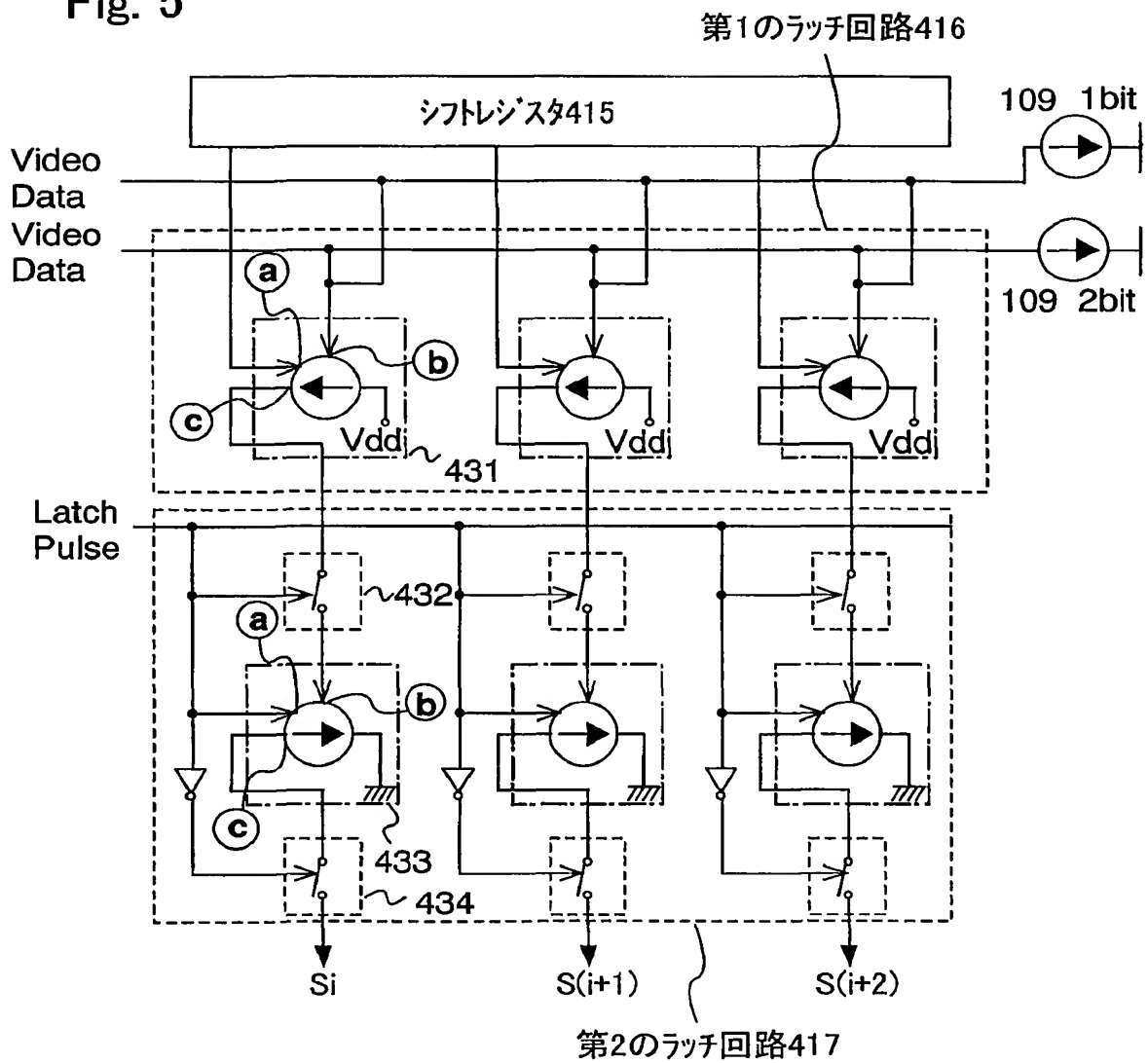
4/42

Fig. 4



5/42

Fig. 5



6/42

Fig. 6A

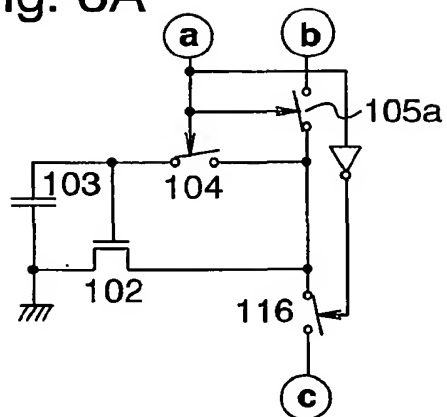


Fig. 6B

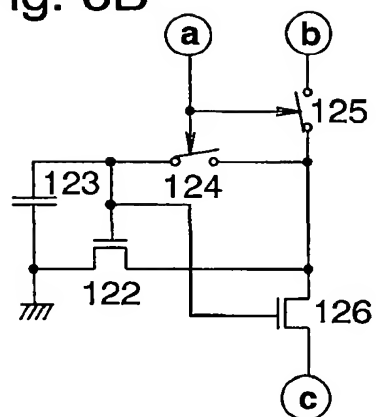


Fig. 6C

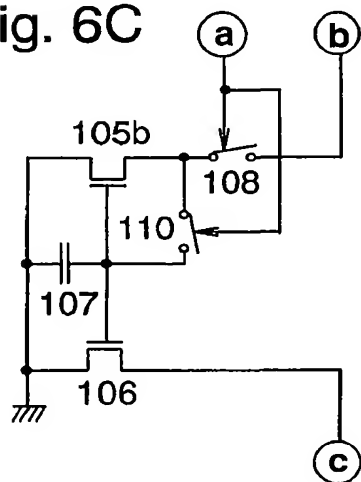


Fig. 6D

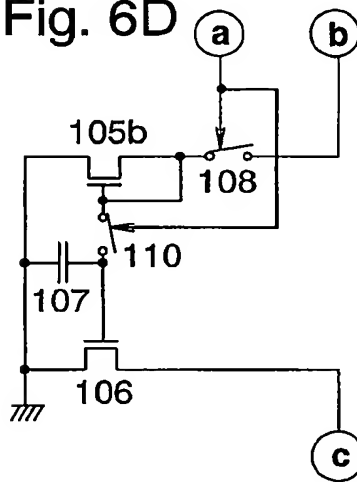
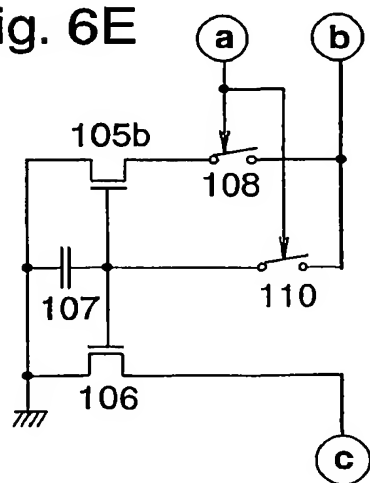


Fig. 6E



7/42

Fig. 7A

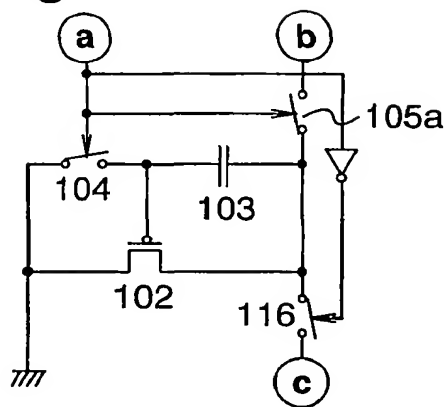


Fig. 7B

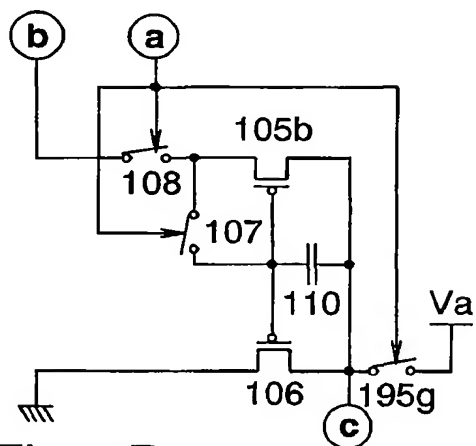


Fig. 7C

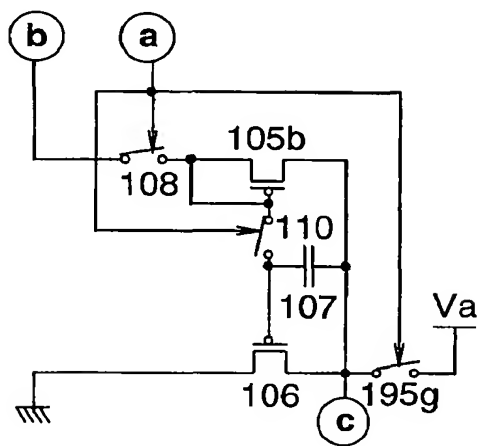


Fig. 7D

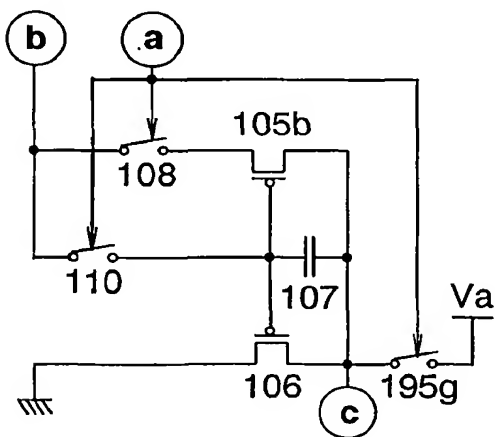


Fig. 8A

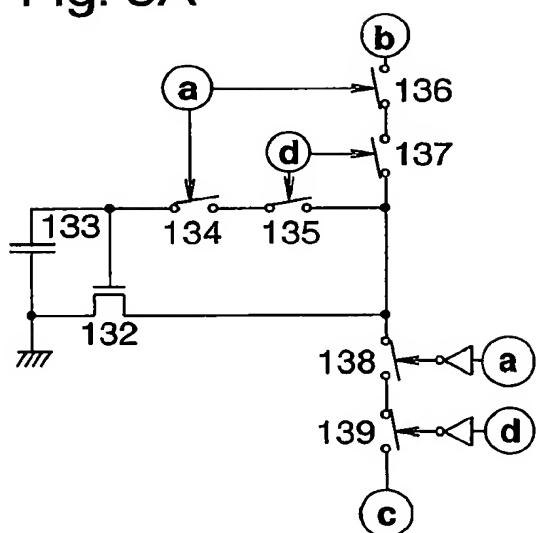
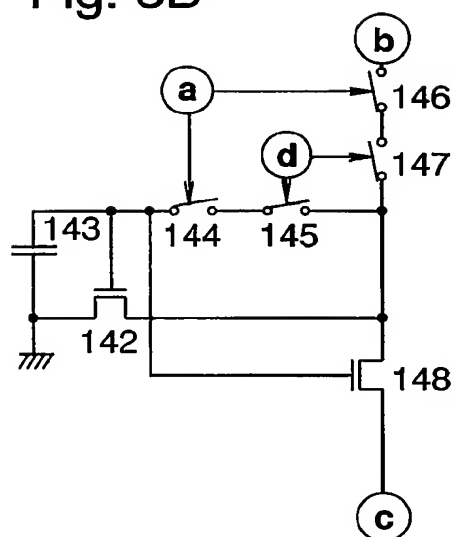
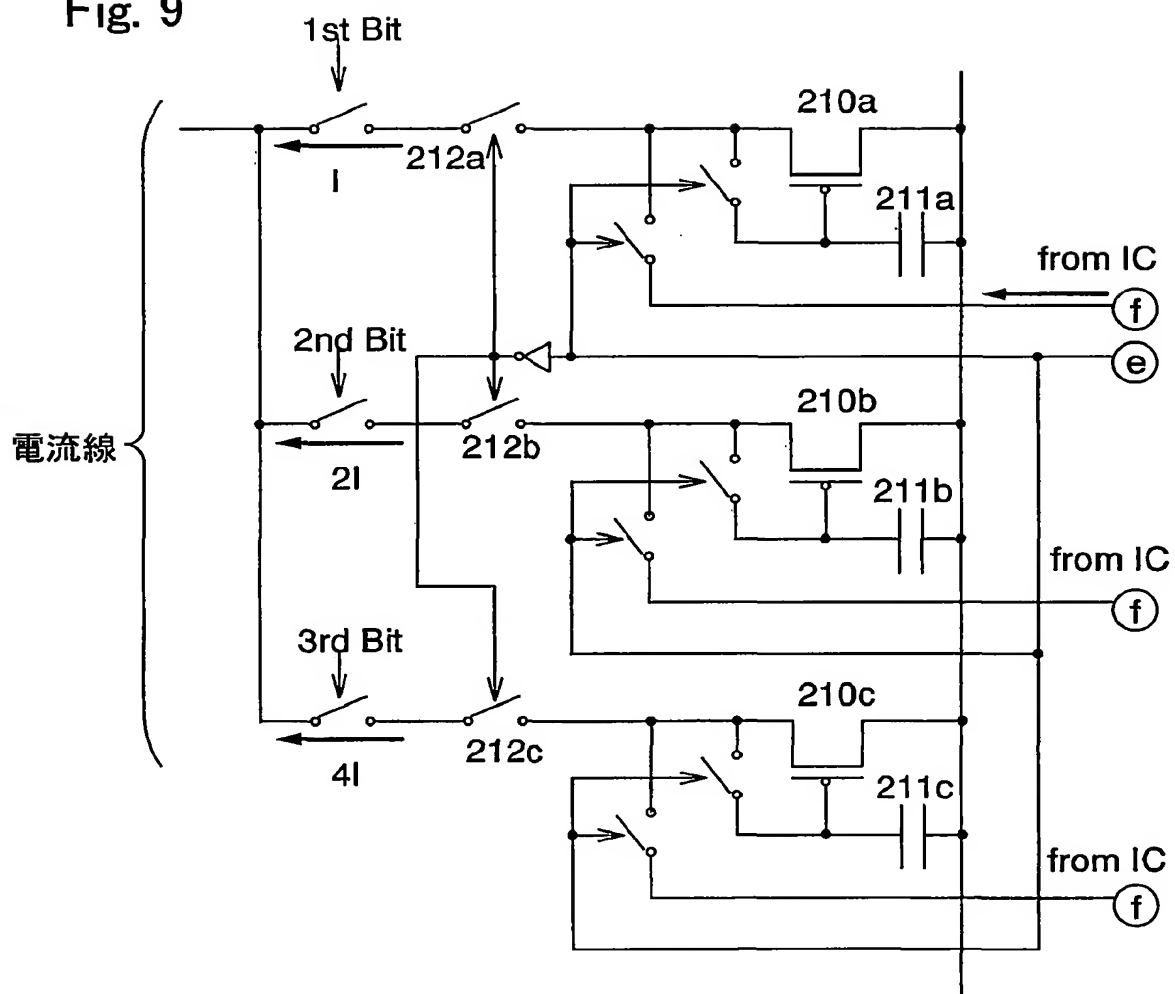


Fig. 8B



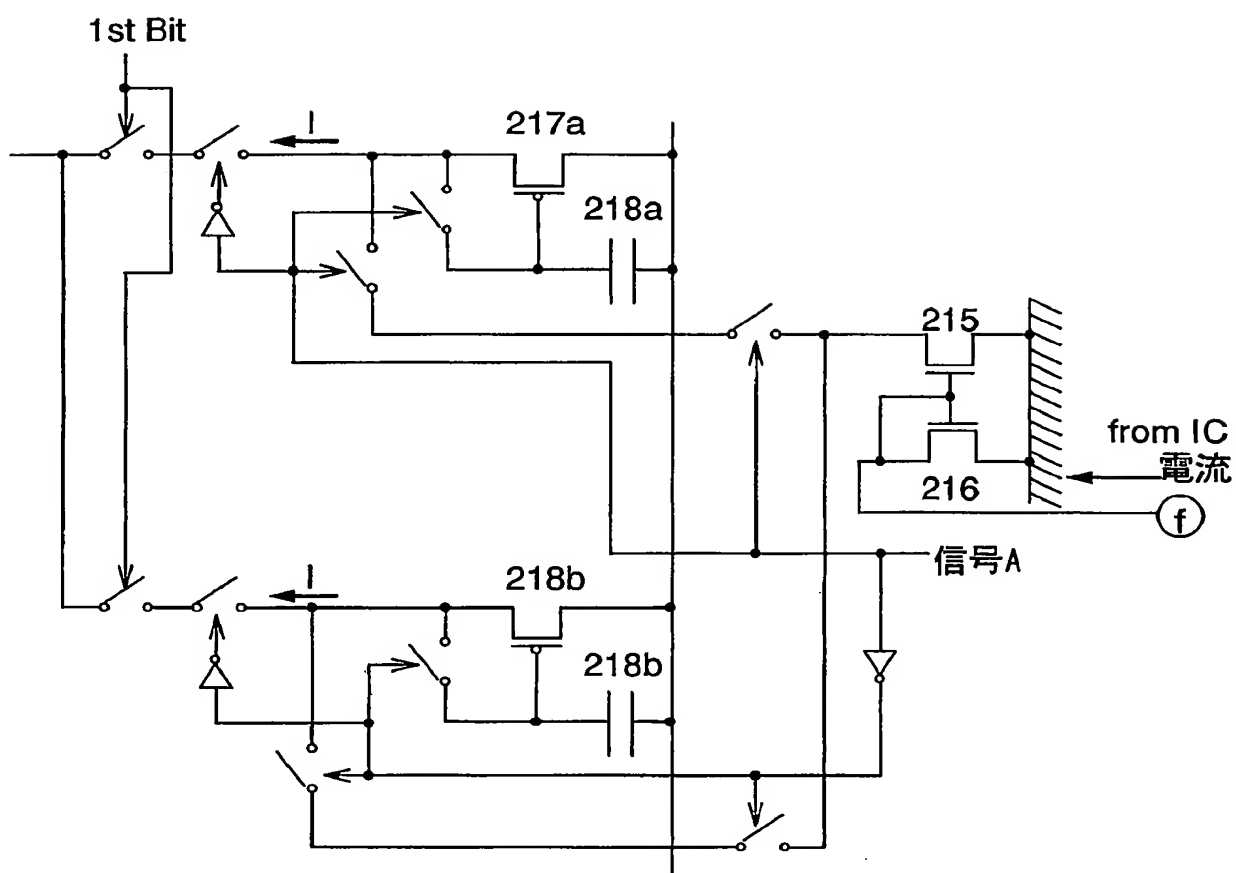
9/42

Fig. 9



10/42

Fig. 10



11/42

Fig. 11A

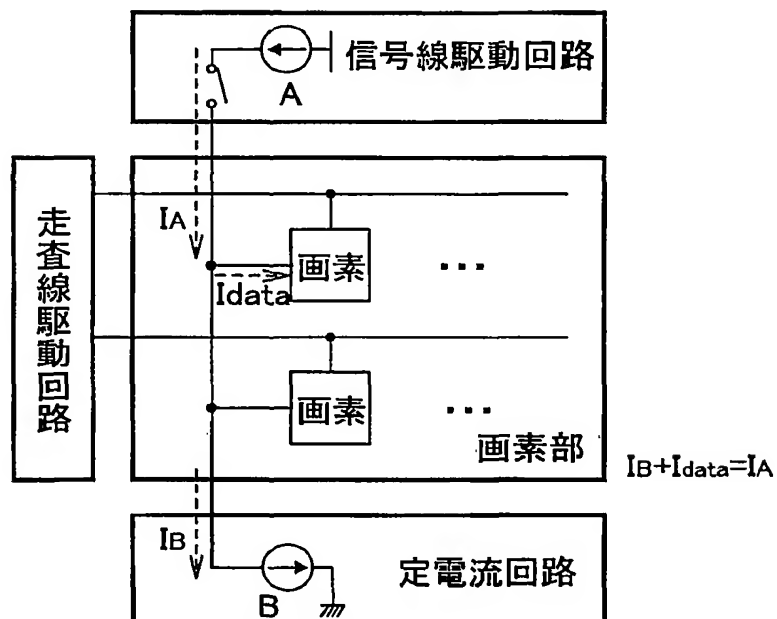


Fig. 11B

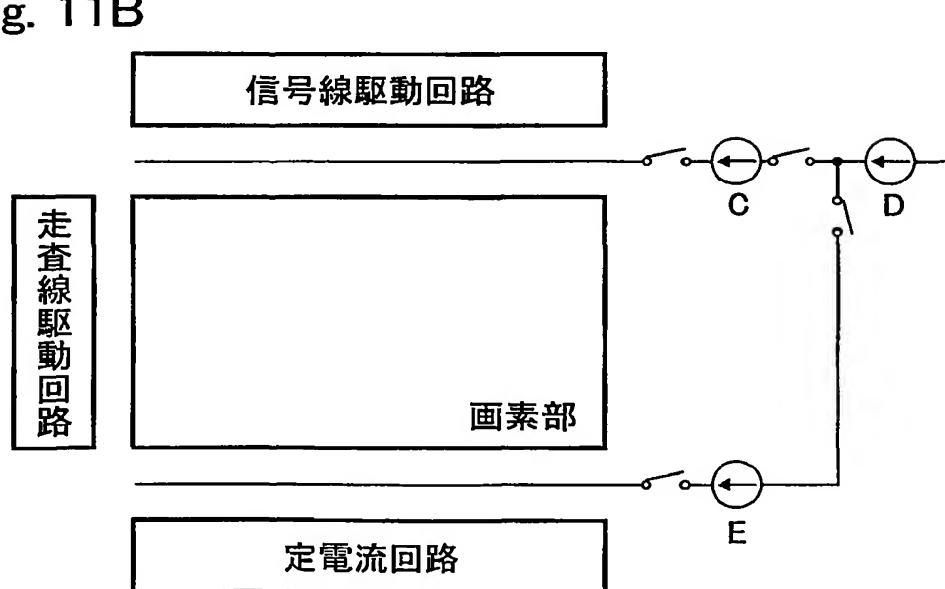


Fig. 12A

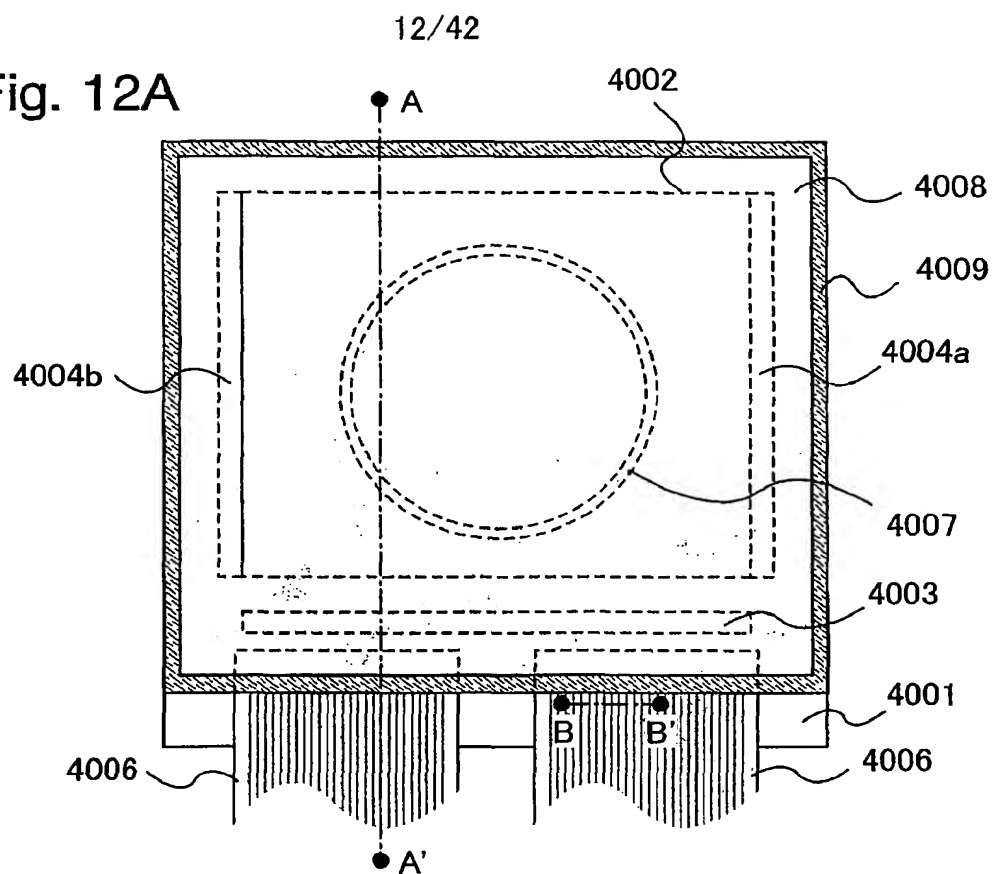


Fig. 12B

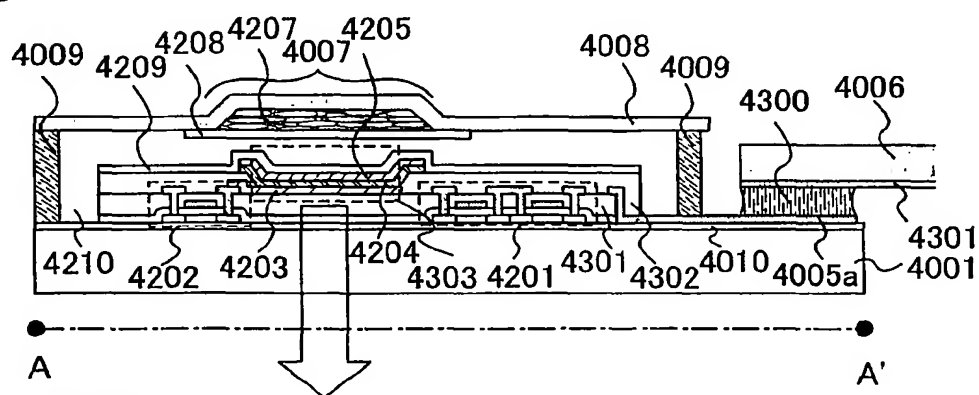
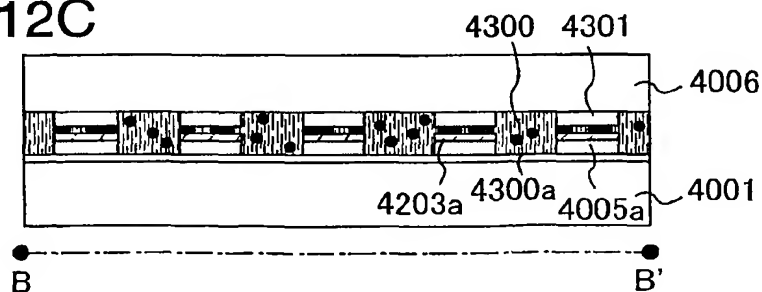


Fig. 12C



13/42

Fig. 13A

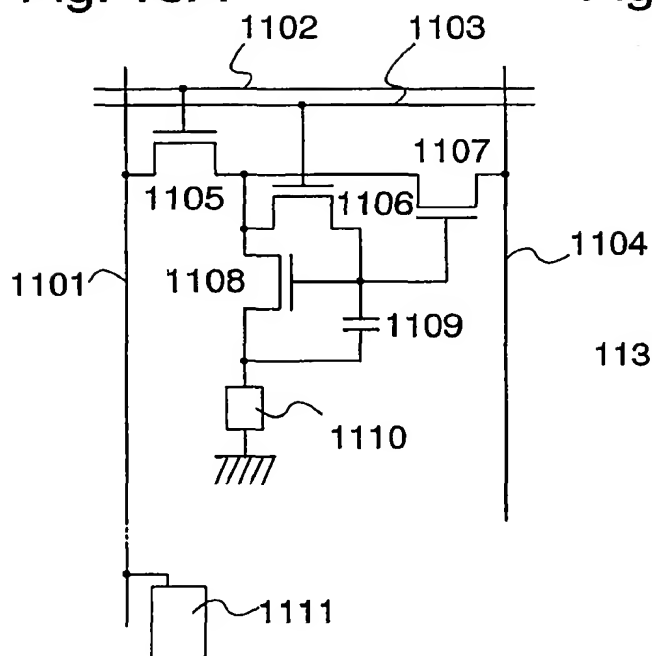


Fig. 13B

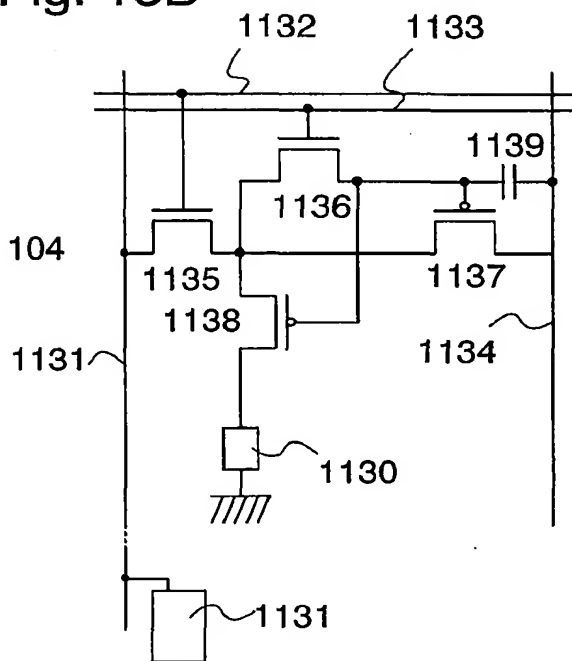
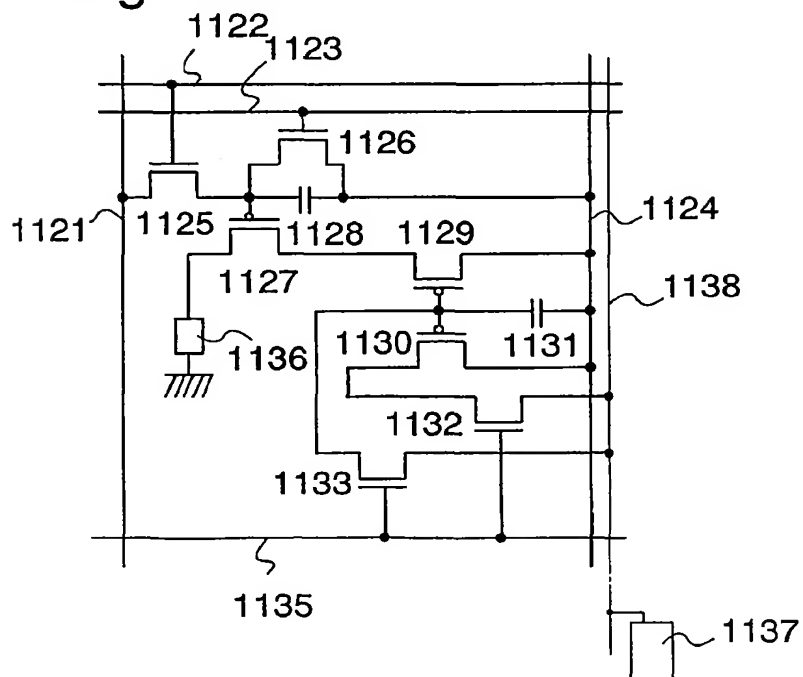


Fig. 13C



14/42

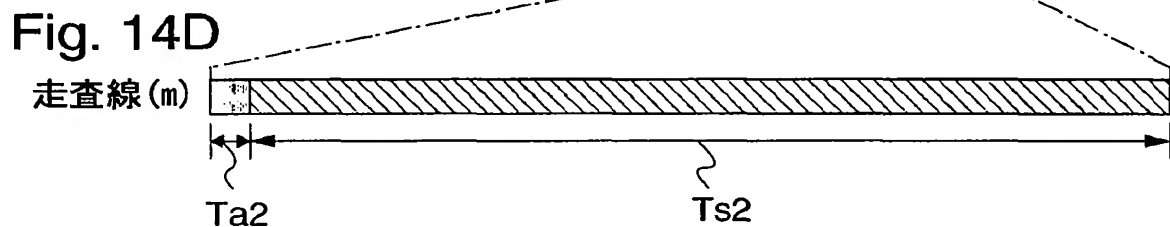
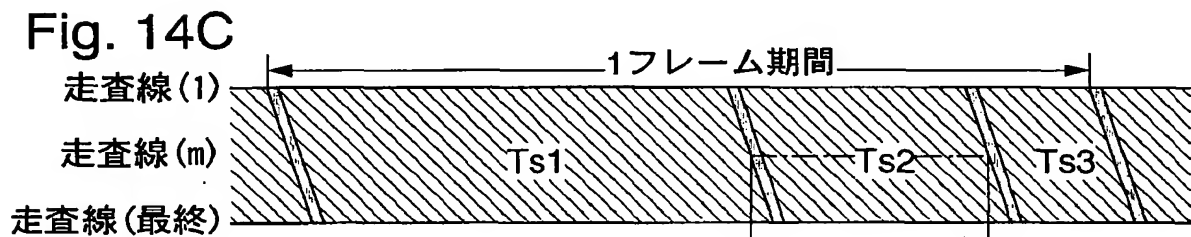
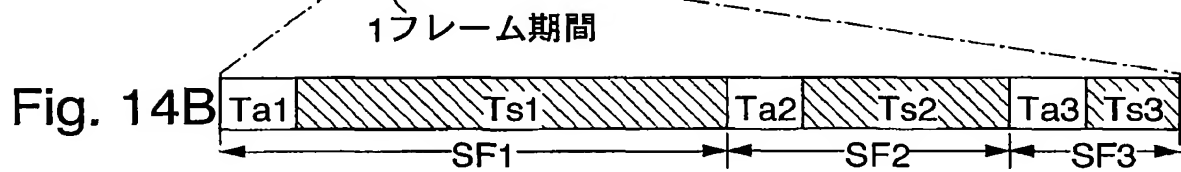
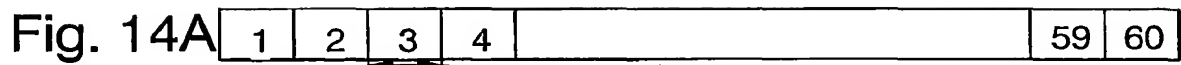


Fig. 15A

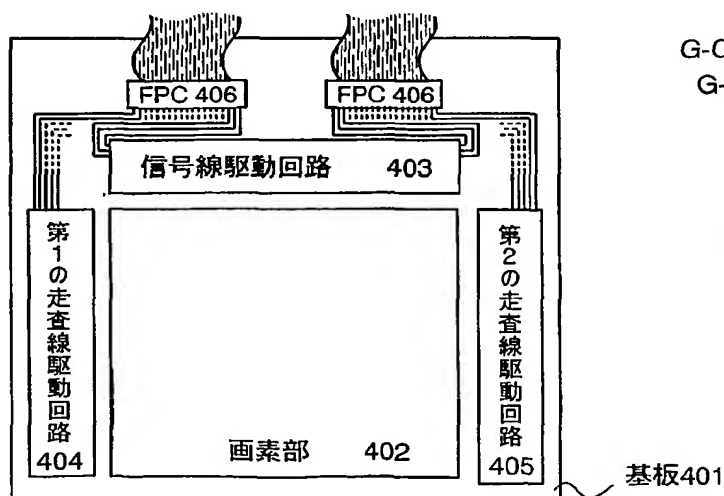


Fig. 15B

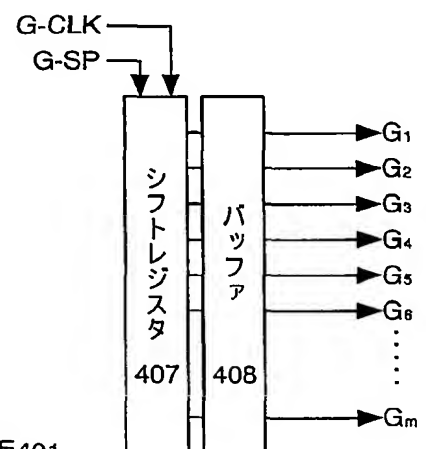


Fig. 16A

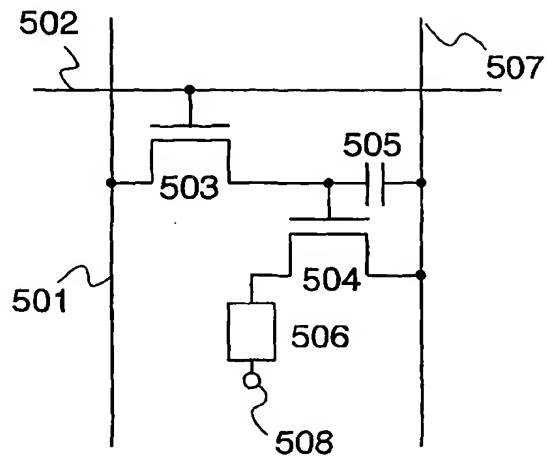


Fig. 16B

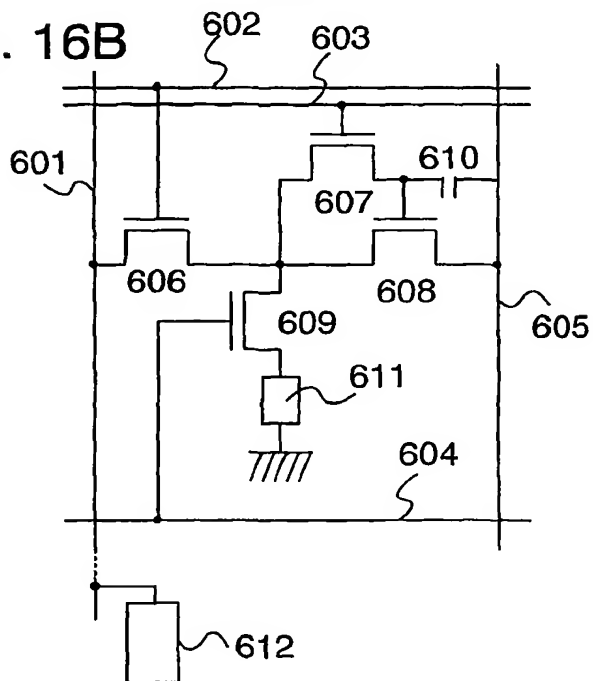


Fig. 17A 信号入力時

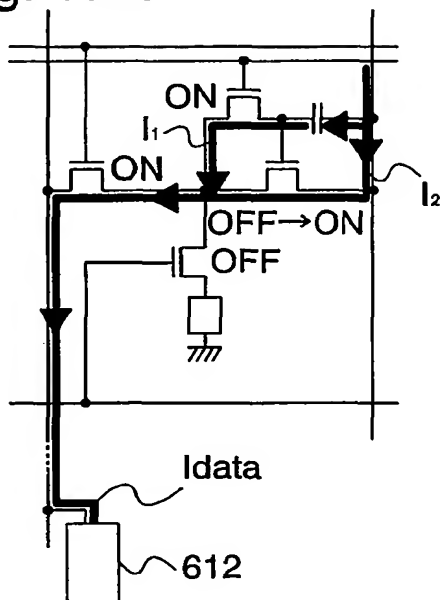


Fig. 17B 信号入力完了時

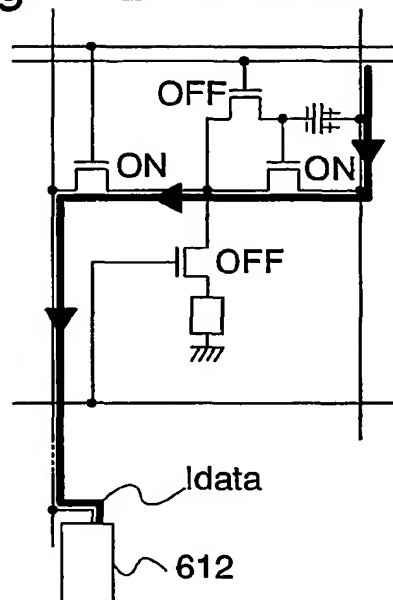


Fig. 17C 発光時

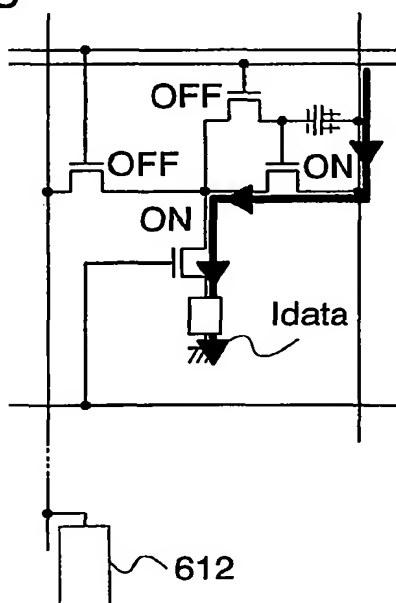


Fig. 17D

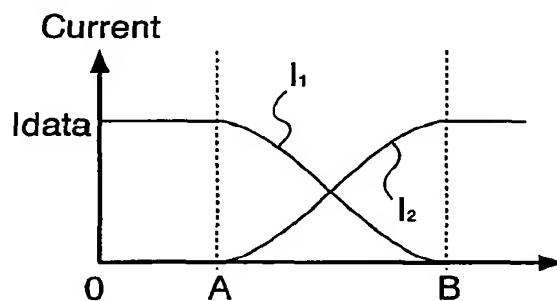
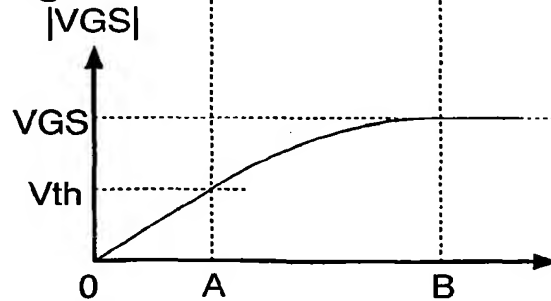


Fig. 17E



17/42

Fig. 18A

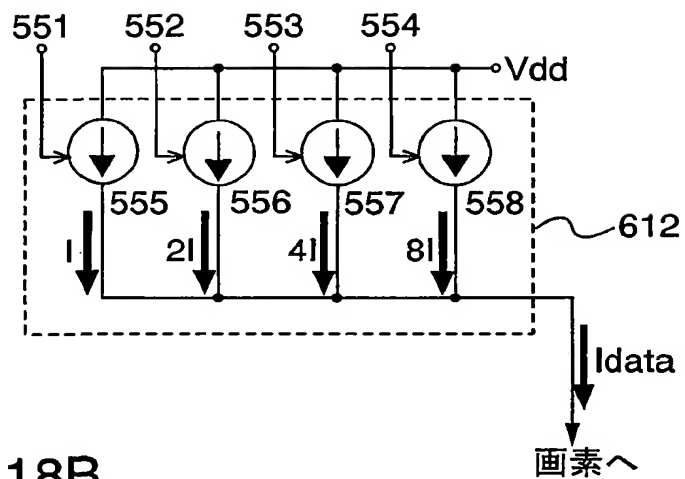
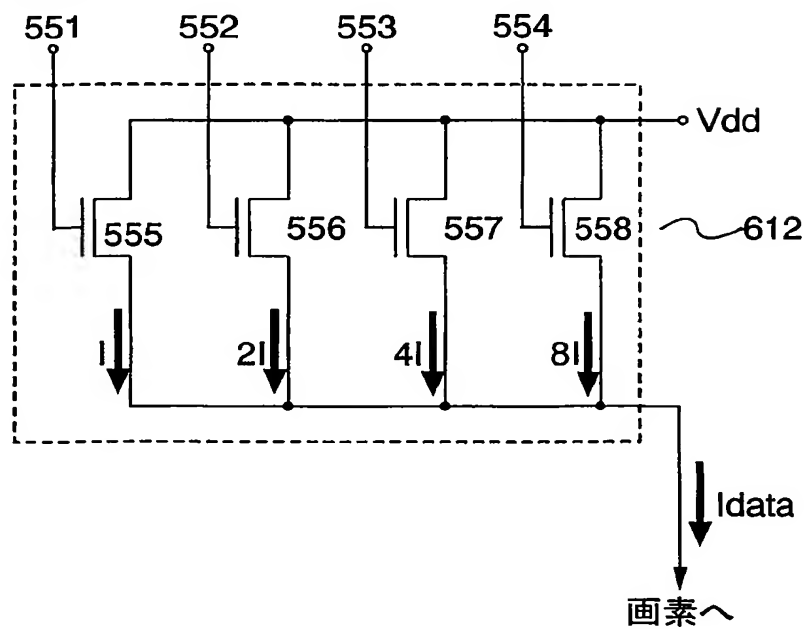


Fig. 18B



18/42

Fig. 19A 信号入力時

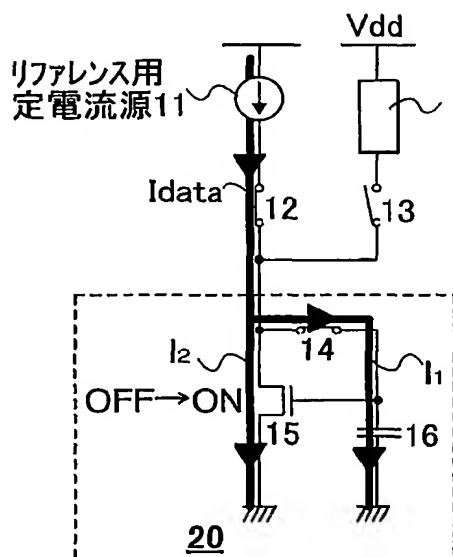


Fig. 19B

信号入力完了時

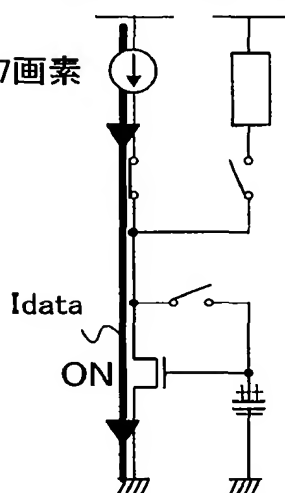


Fig. 19C

画素への信号入力時

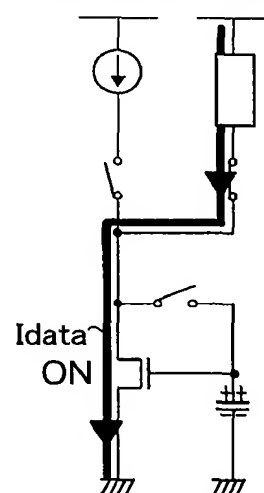


Fig. 19D

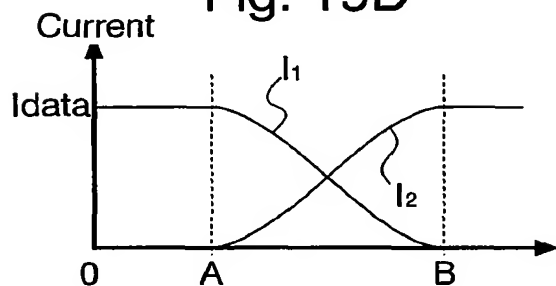


Fig. 19E

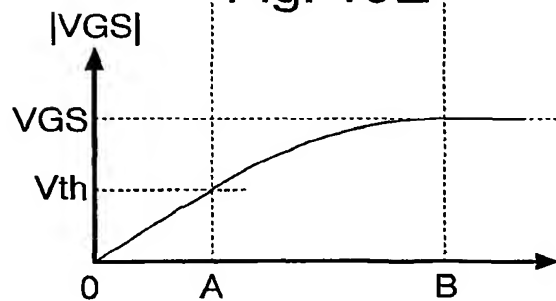
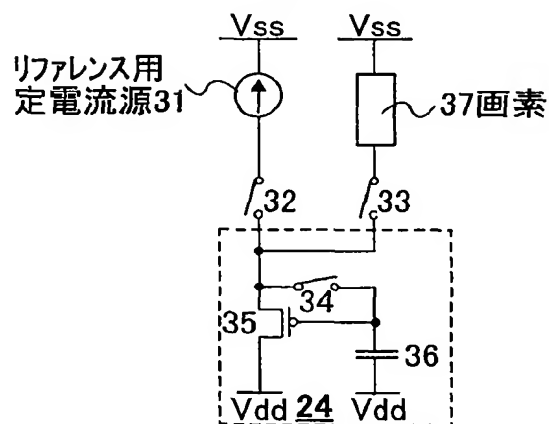


Fig. 19F



20/42

Fig. 21

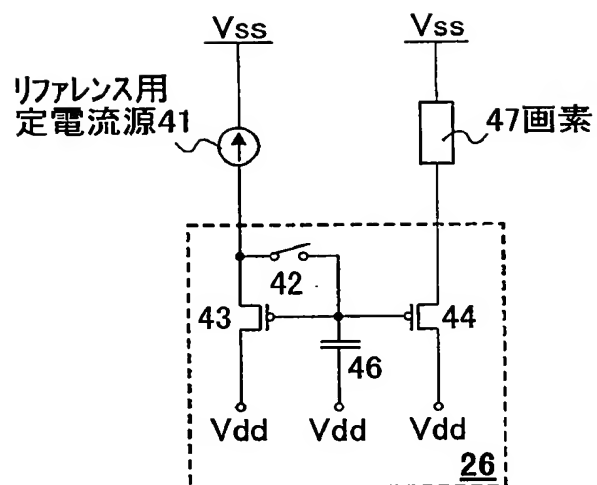


Fig. 22A

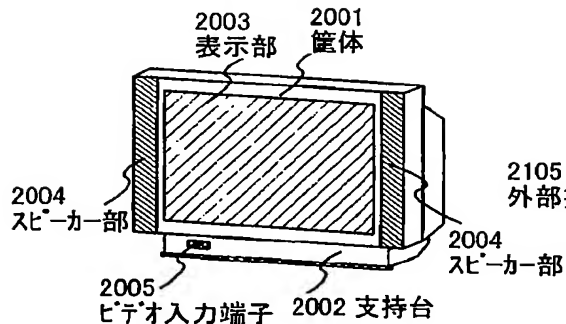


Fig. 22B

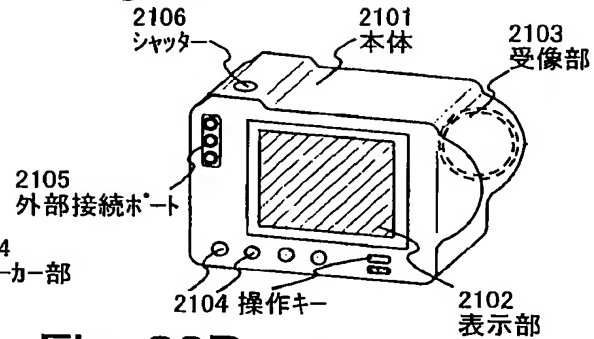


Fig. 22C

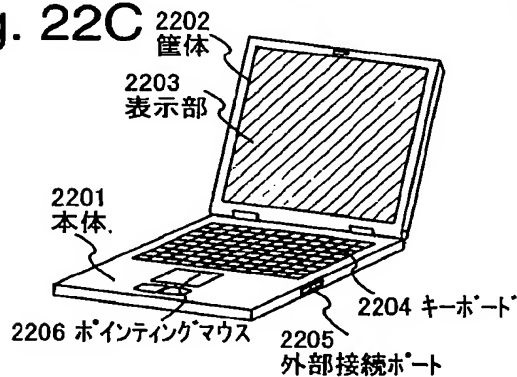


Fig. 22D

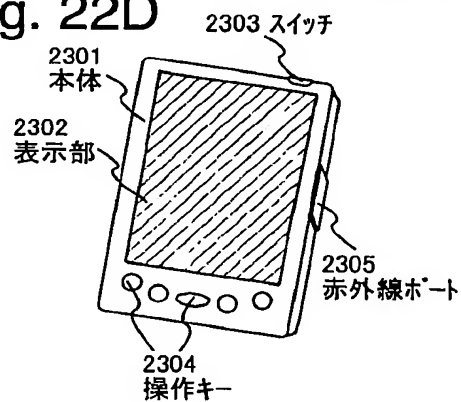


Fig. 22E

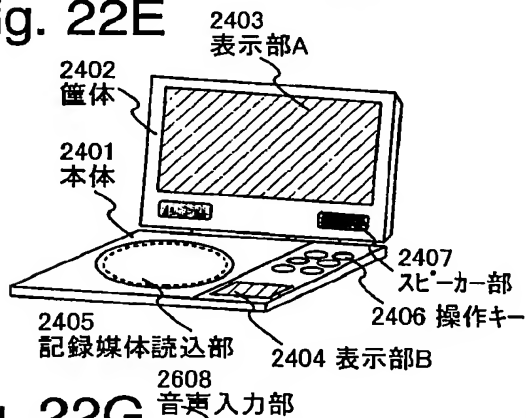


Fig. 22F

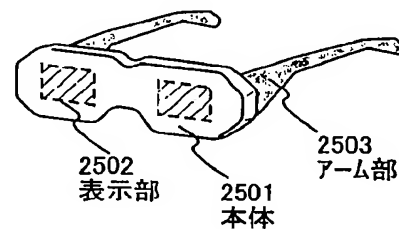


Fig. 22G

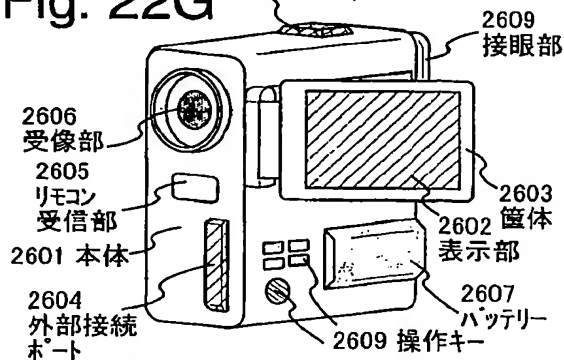
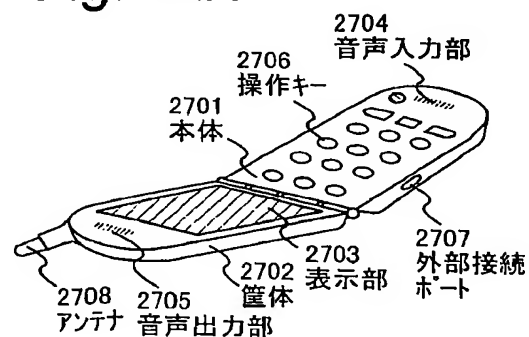
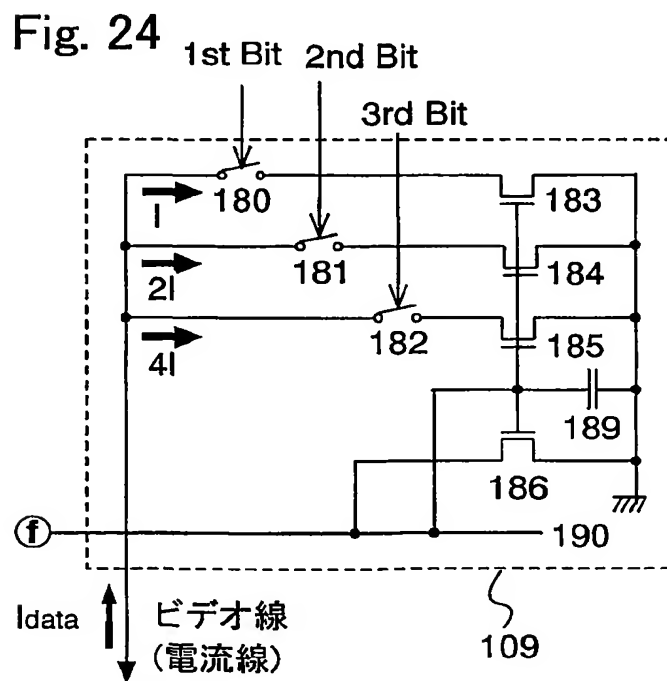
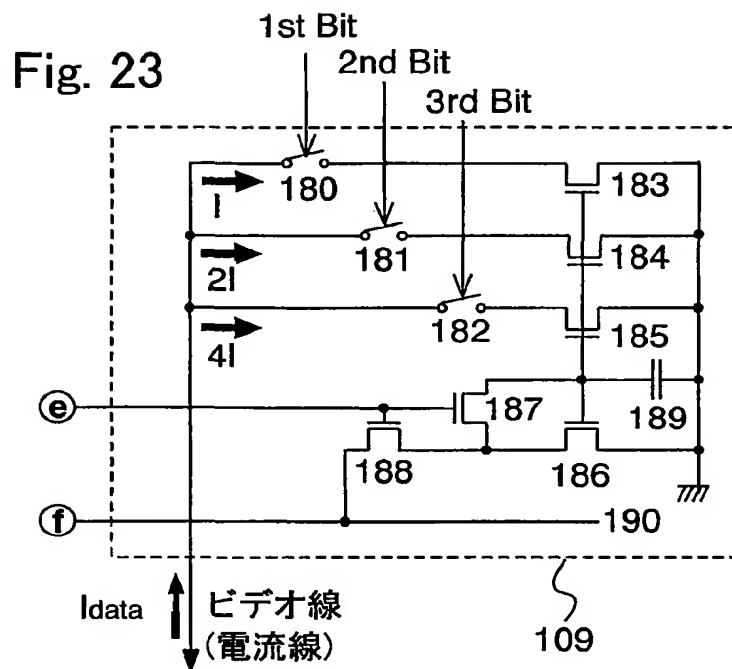


Fig. 22H



22/42



23/42

Fig. 25

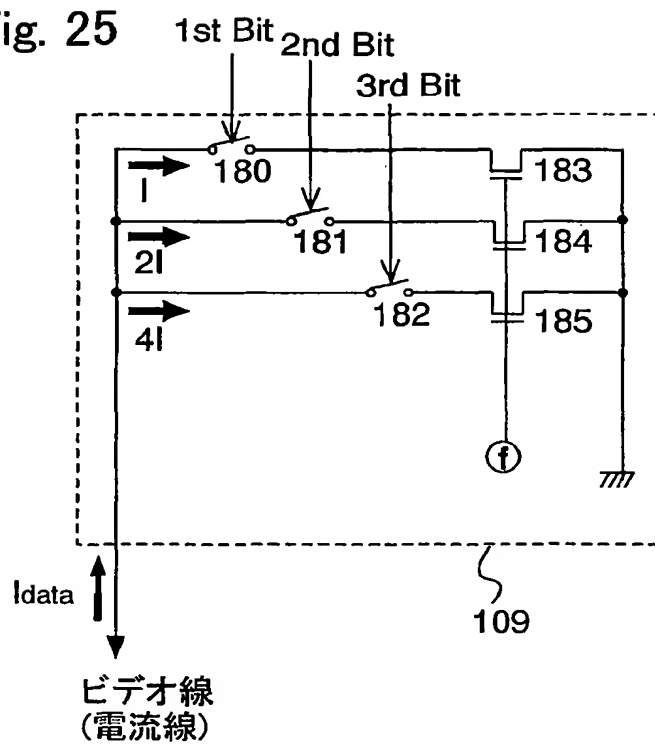
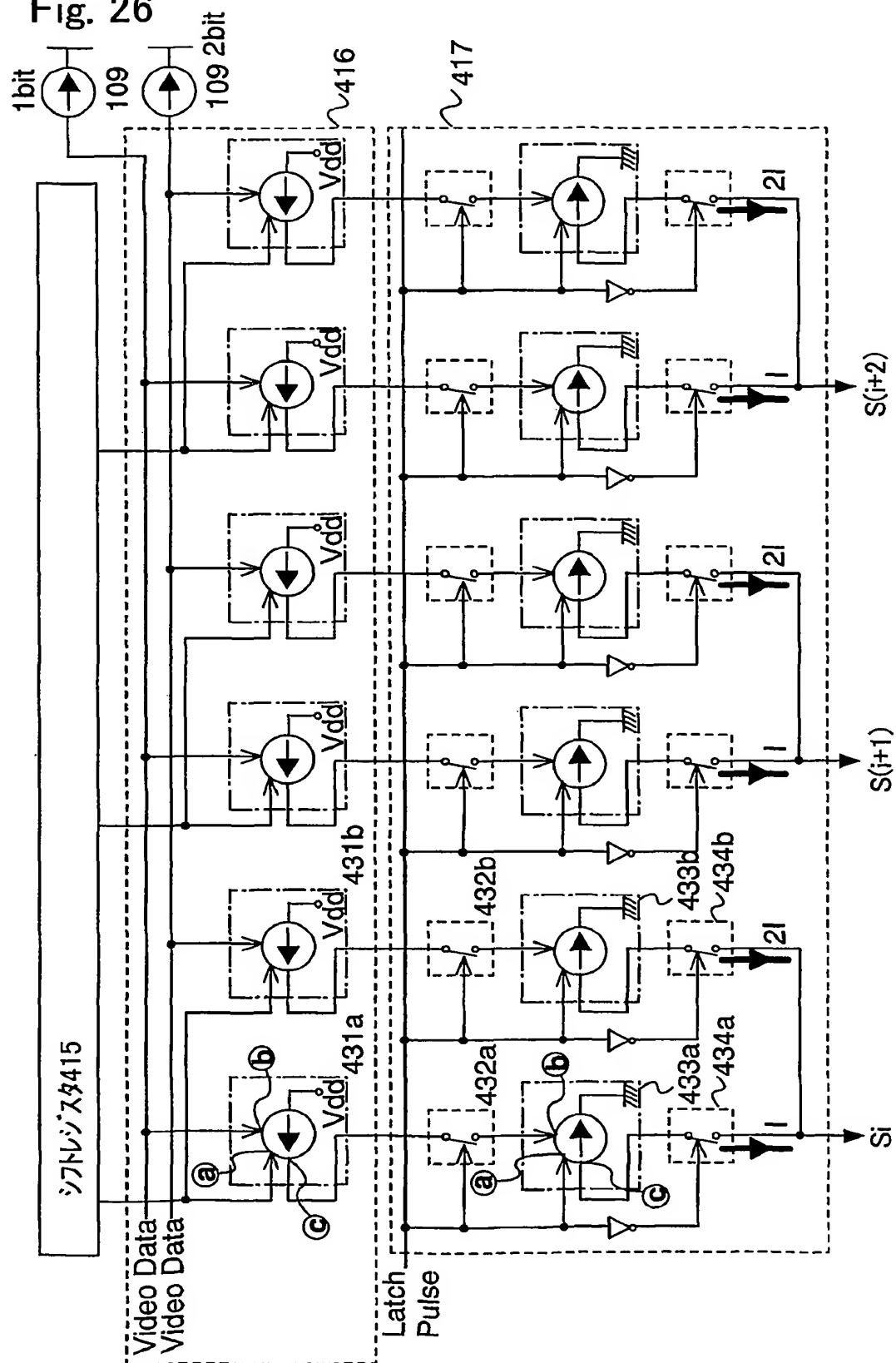
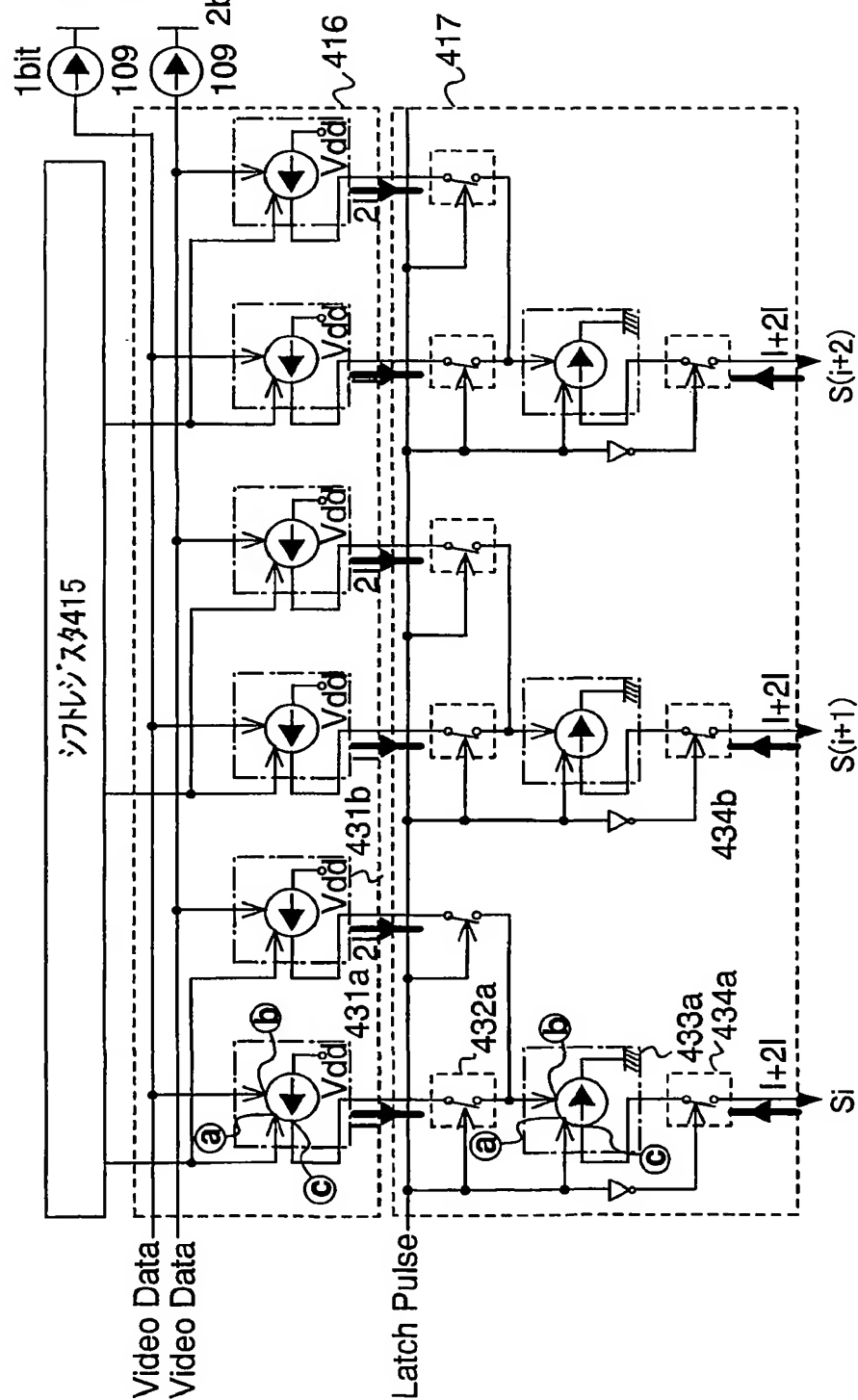


Fig. 26



25/42

Fig. 27



26/42

Fig. 28A1

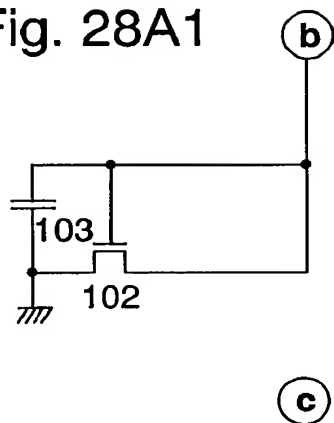


Fig. 28A2

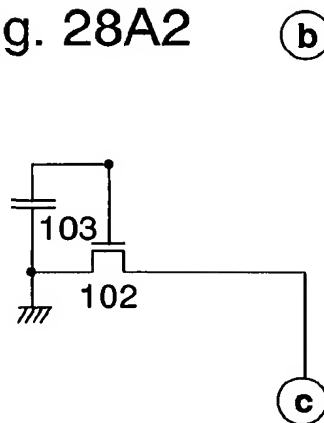


Fig. 28B1

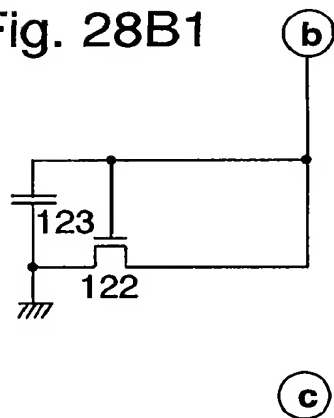


Fig. 28B2

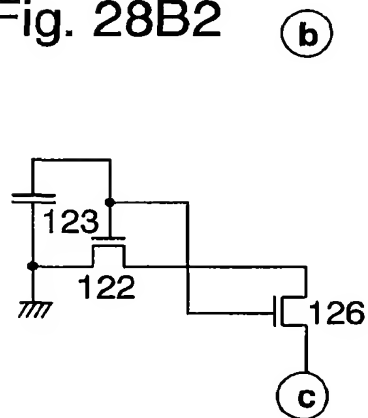


Fig. 28C1

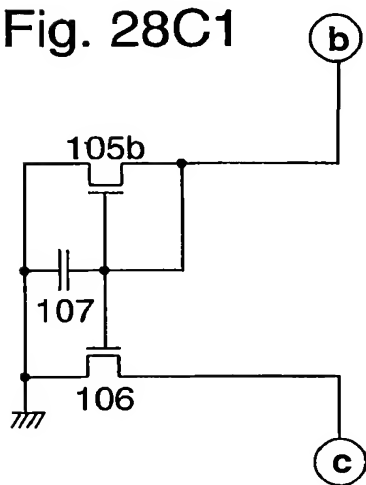
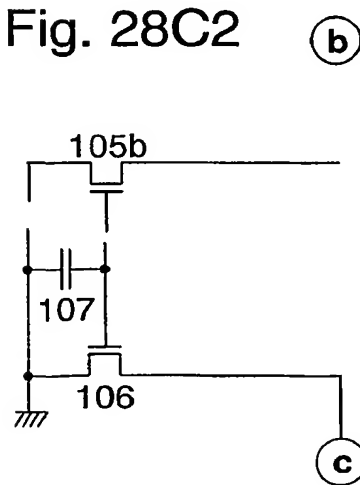


Fig. 28C2



27/42

Fig. 29A

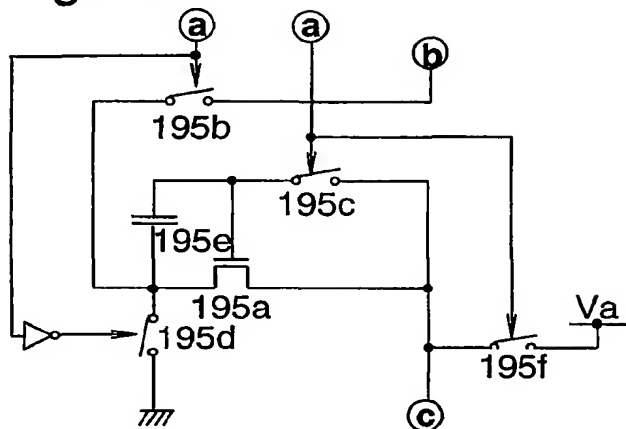


Fig. 29B1

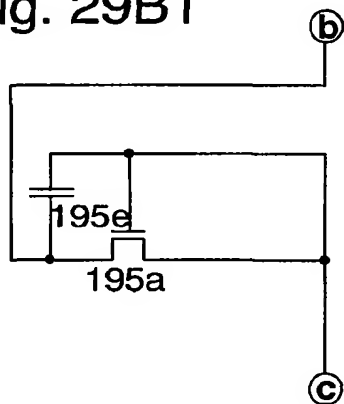


Fig. 29B2

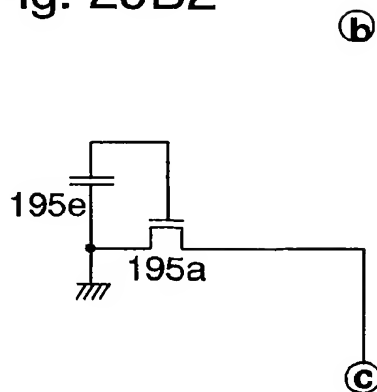


Fig. 29C1

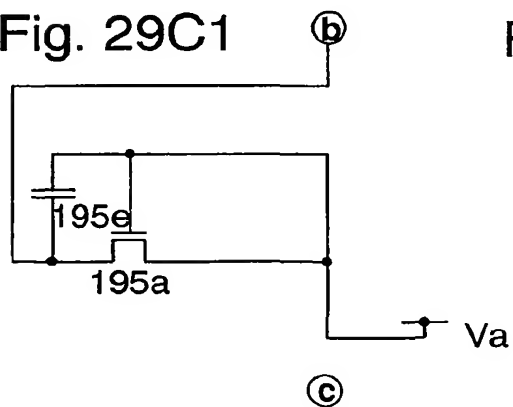
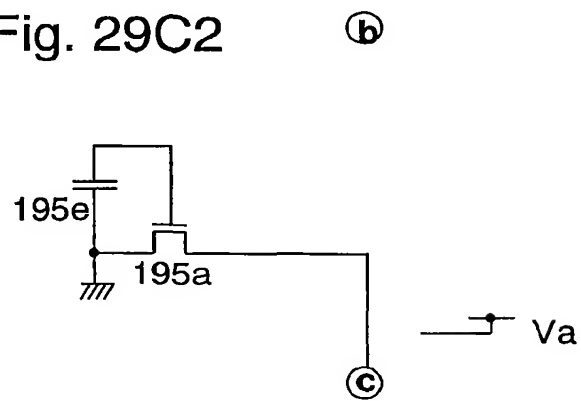


Fig. 29C2



28/42

Fig. 30A

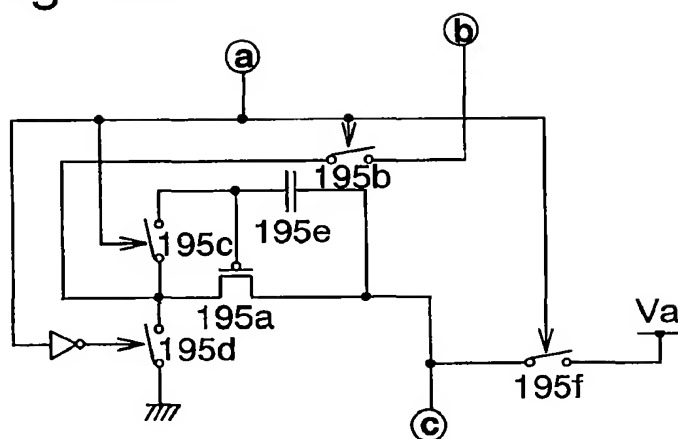
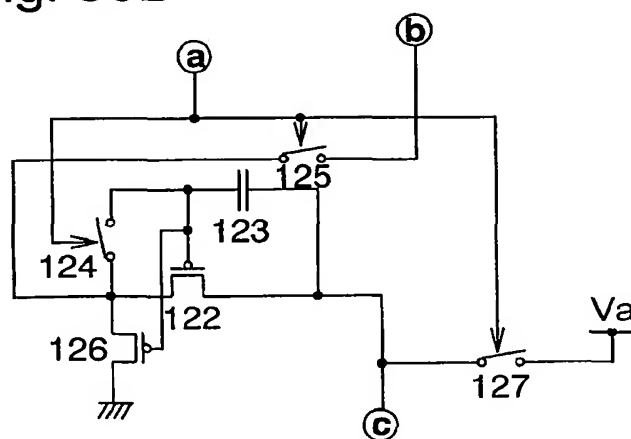


Fig. 30B



29/42

Fig. 31A1

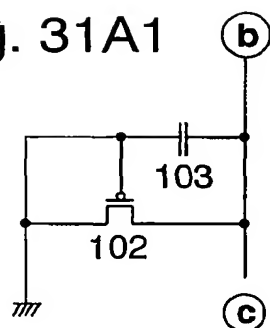


Fig. 31A2

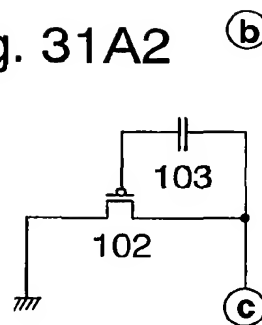


Fig. 31B1

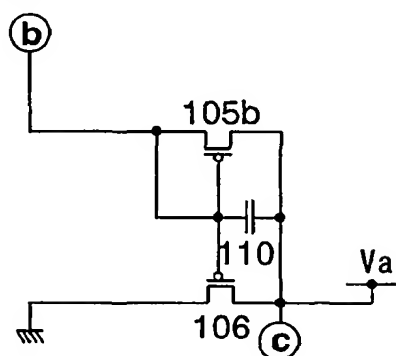


Fig. 31B2

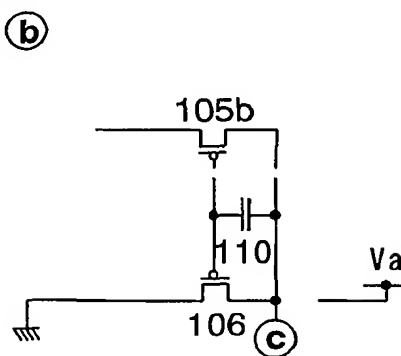


Fig. 31C1

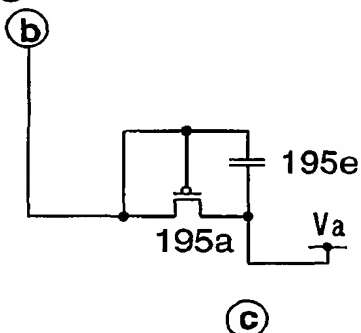


Fig. 31C2

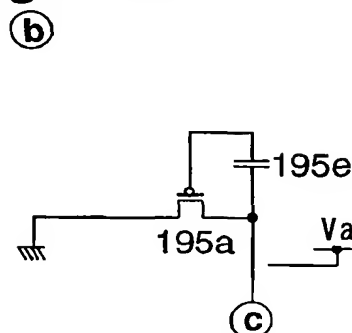


Fig. 31D1

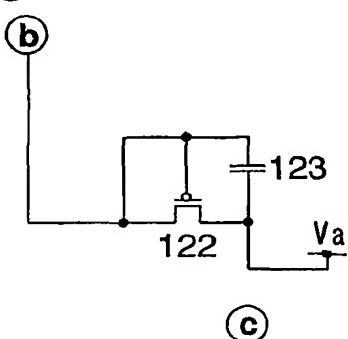
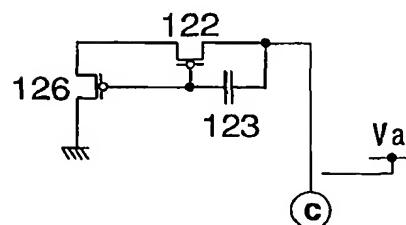
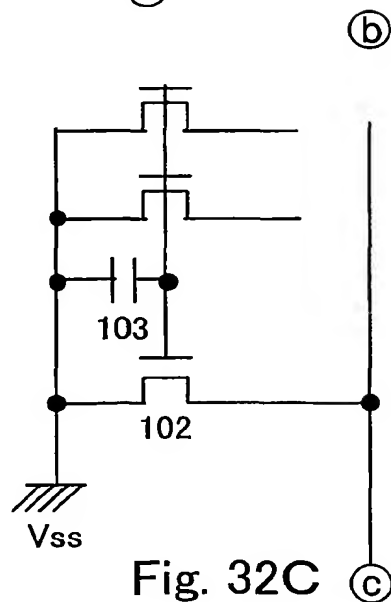
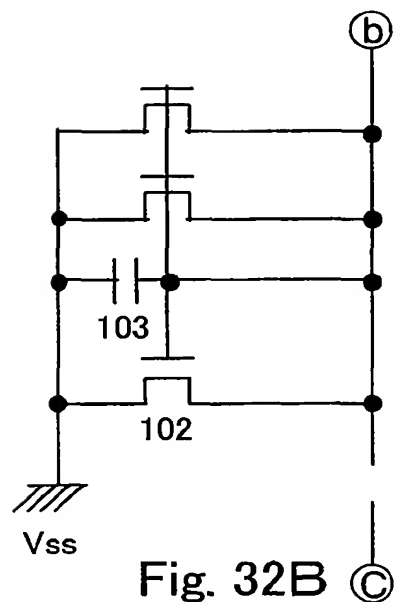
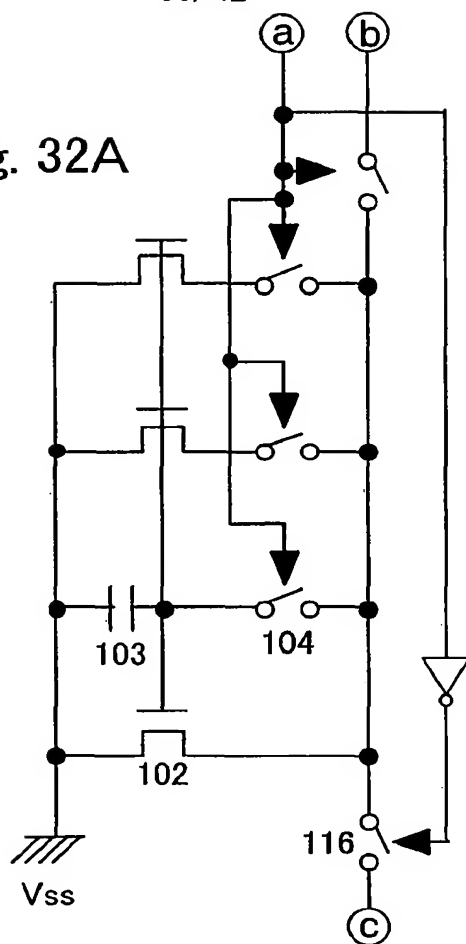


Fig. 31D2



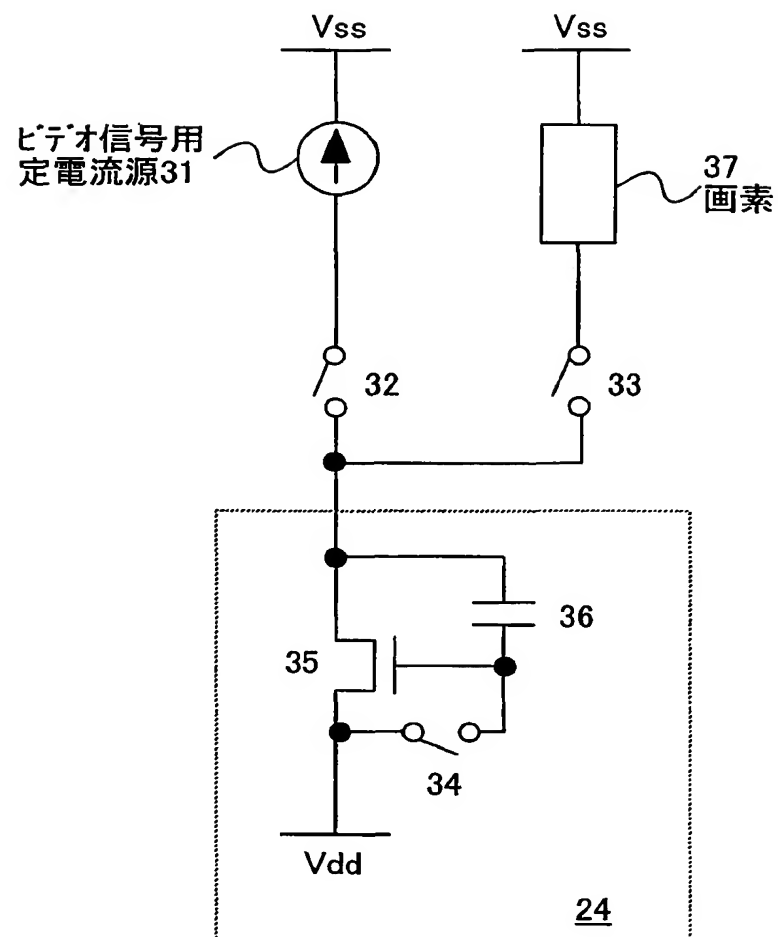
30/42

Fig. 32A

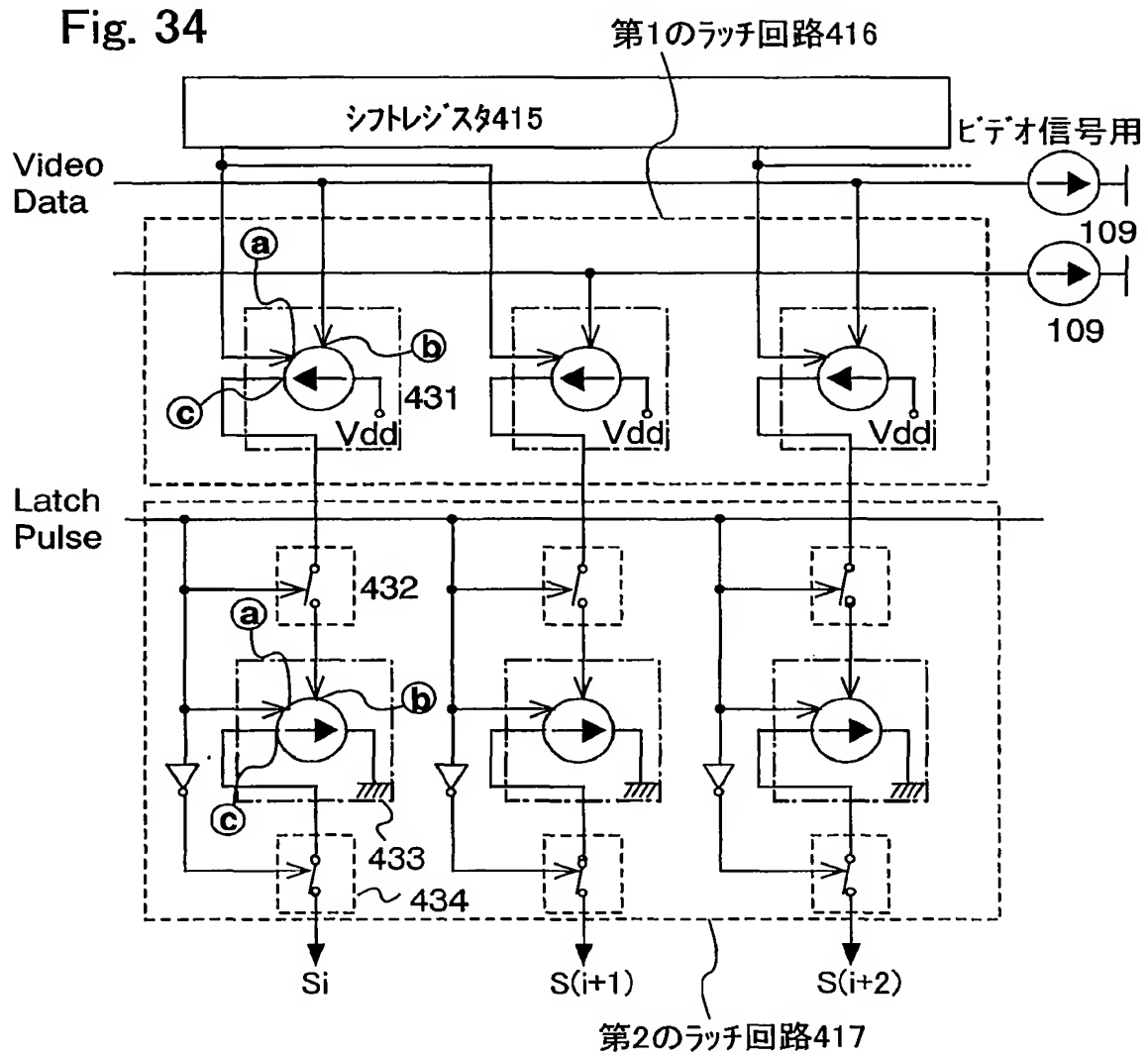


31/42

Fig. 33

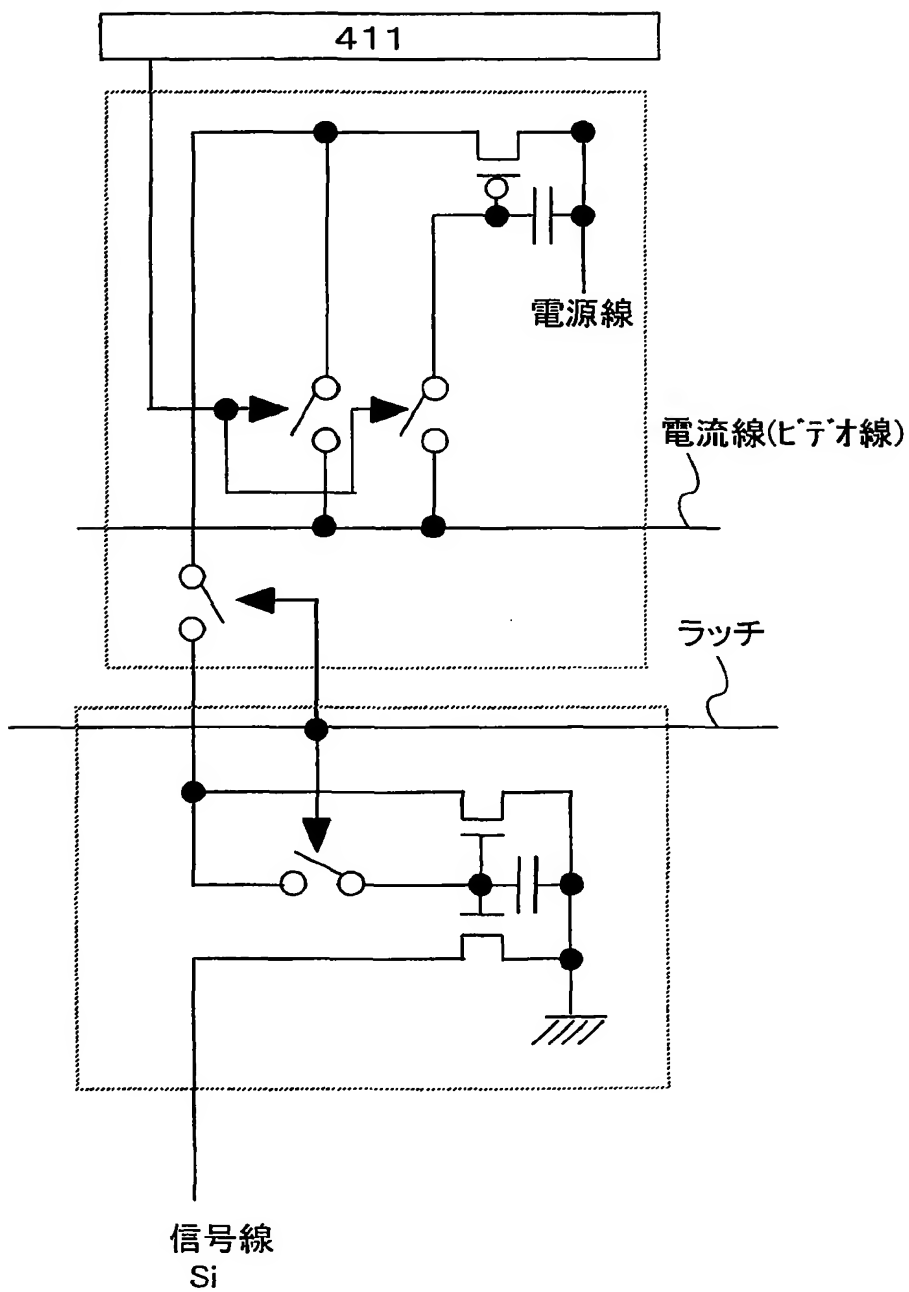


32/42



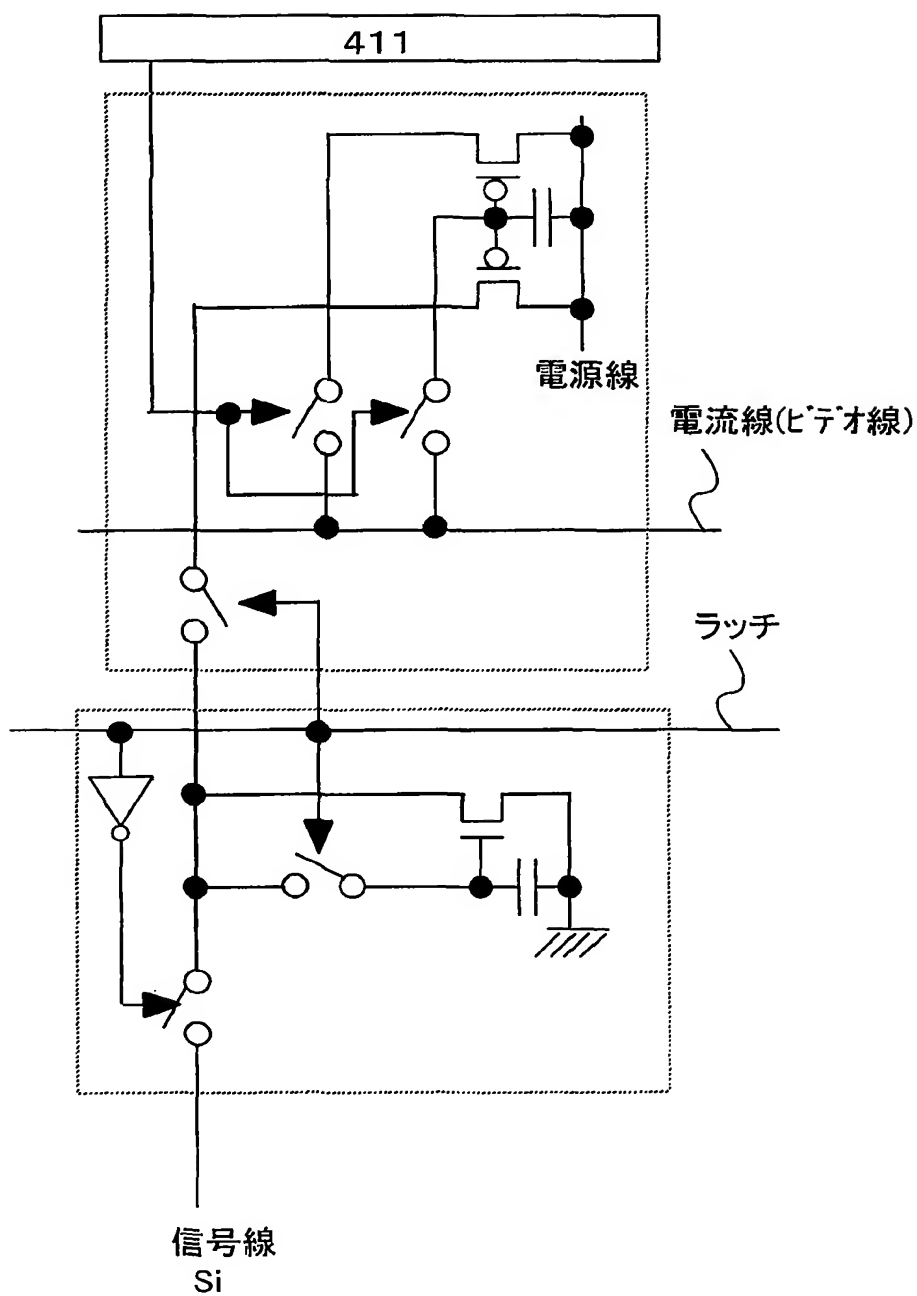
33/42

Fig. 35



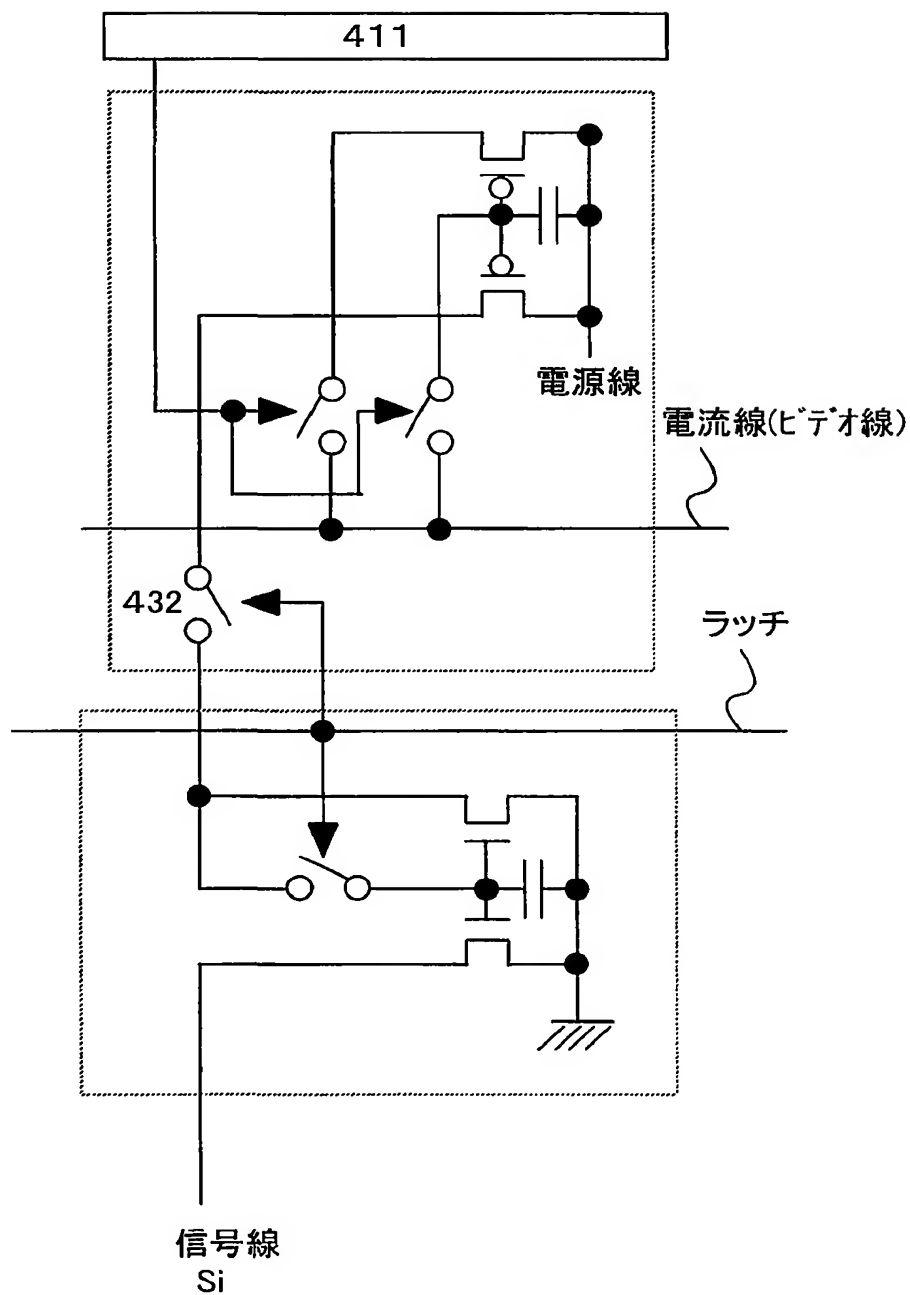
34/42

Fig. 36



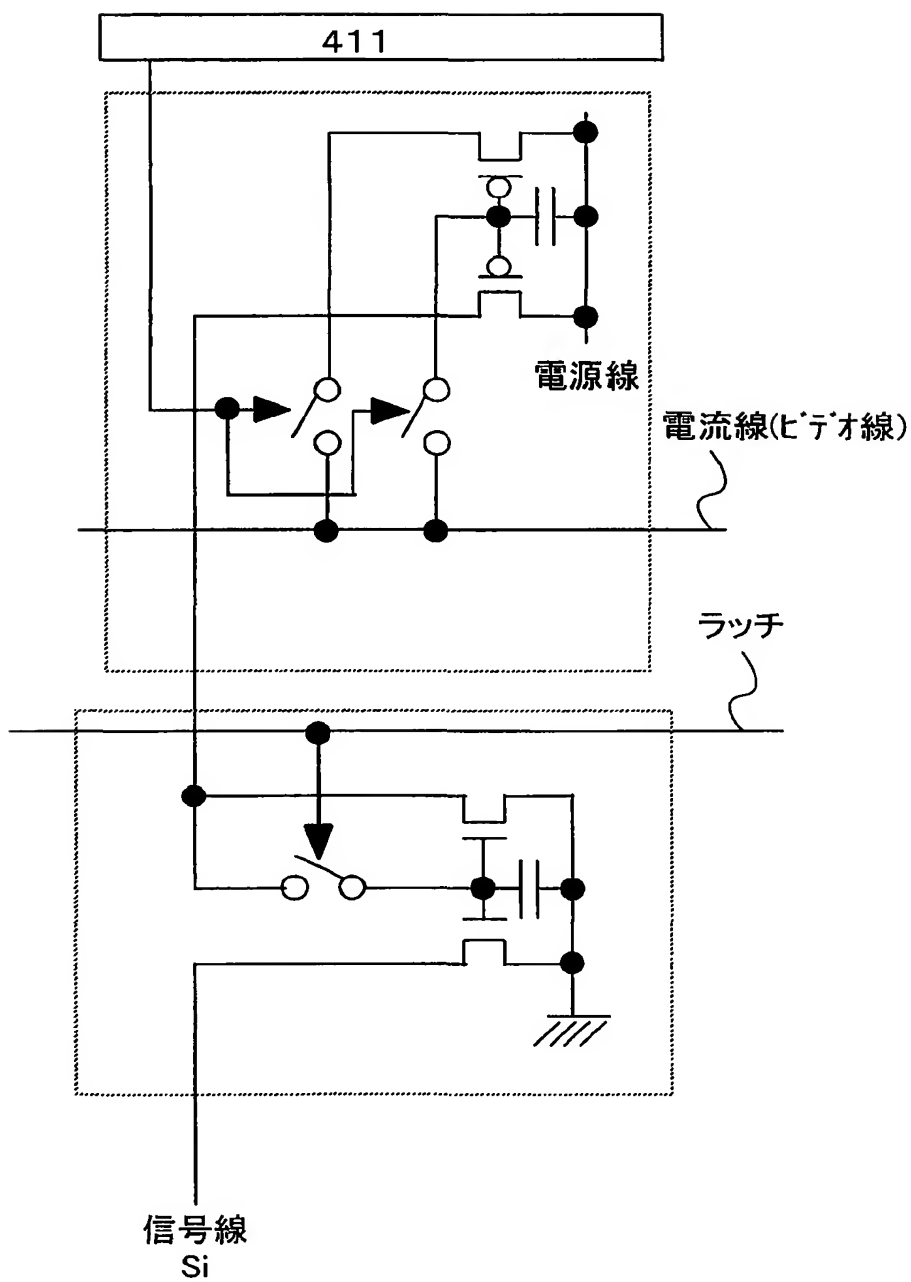
35/42

Fig. 37



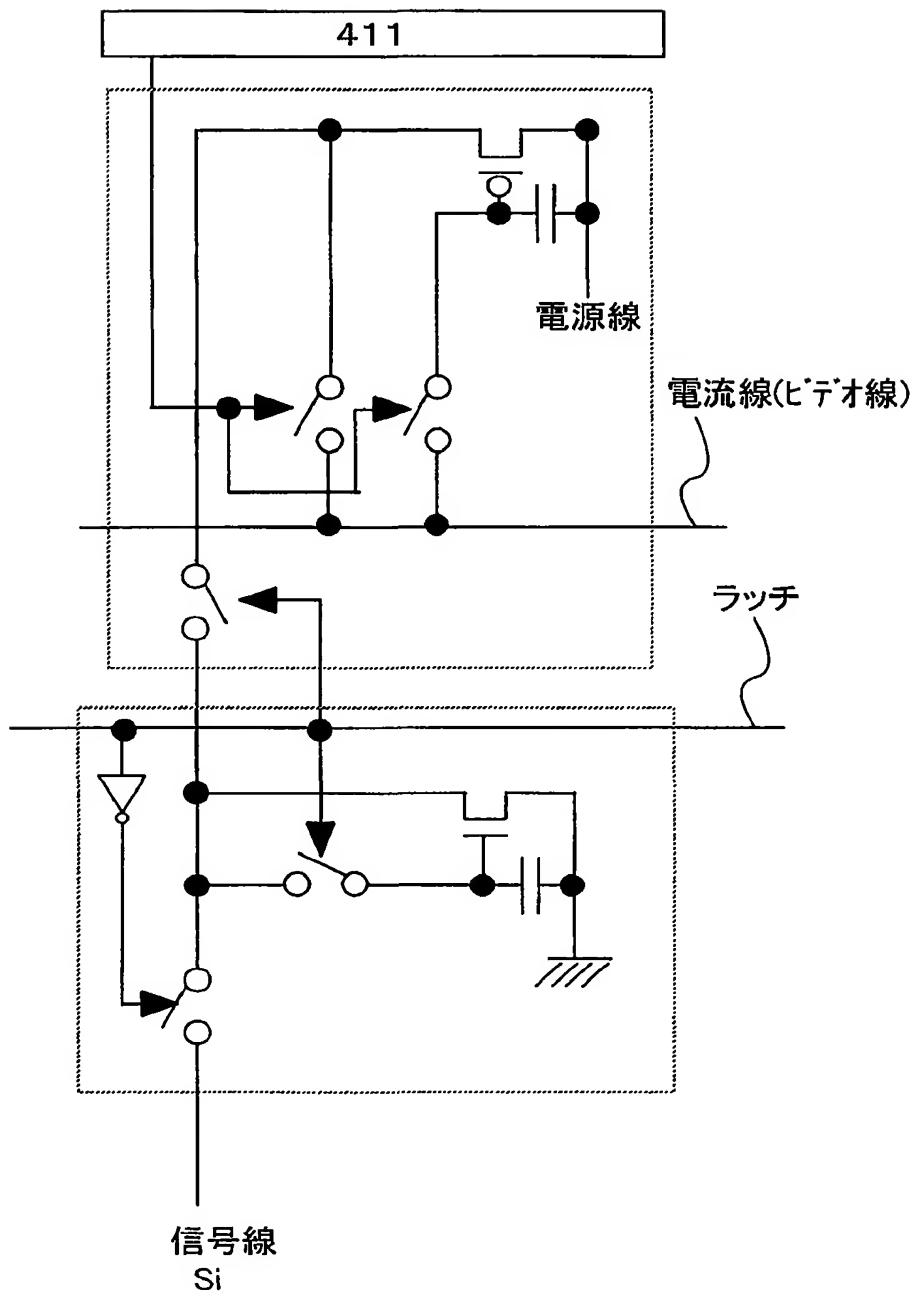
36/42

Fig. 38



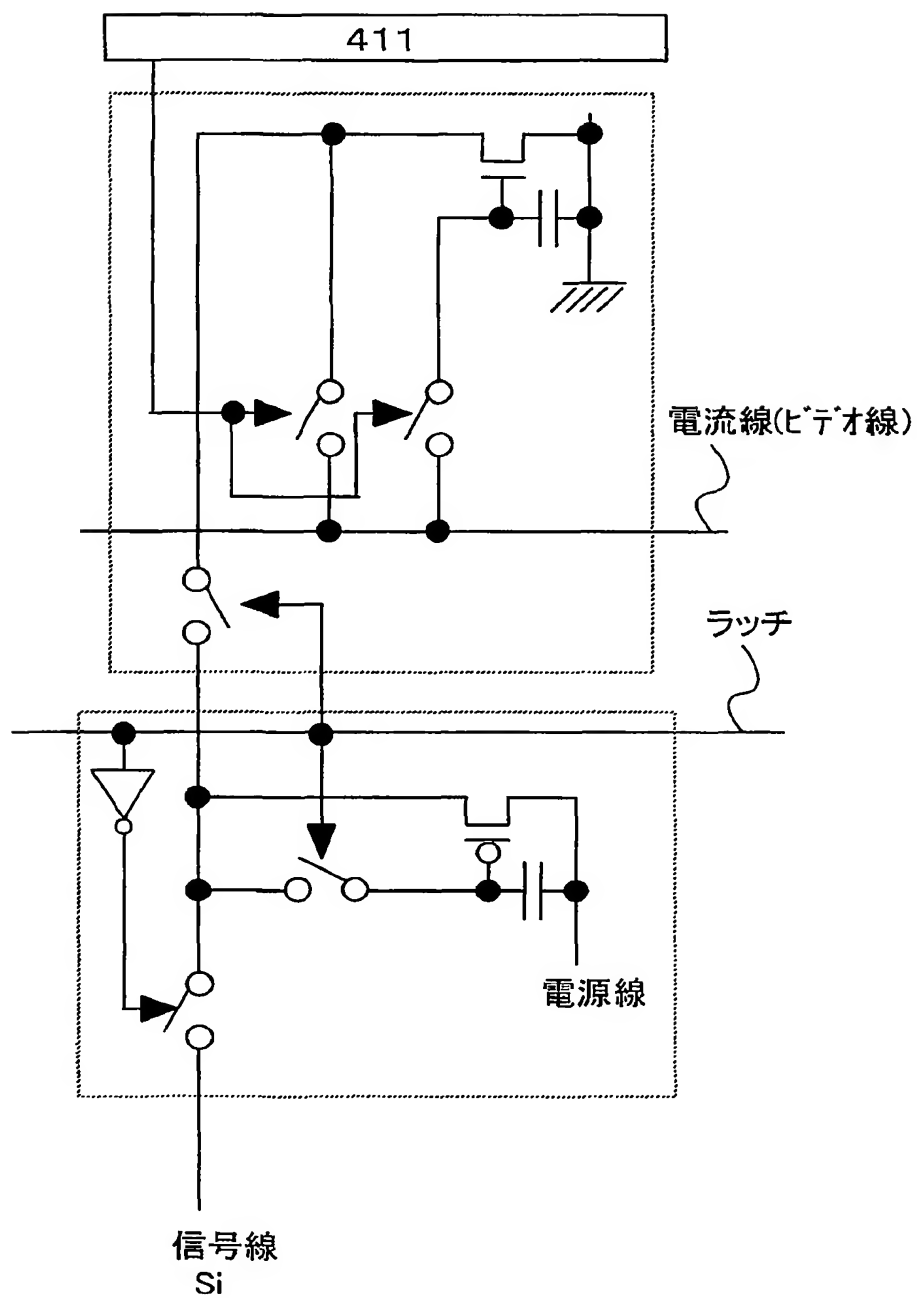
37/42

Fig. 39



38/42

Fig. 40



39/42

Fig. 41

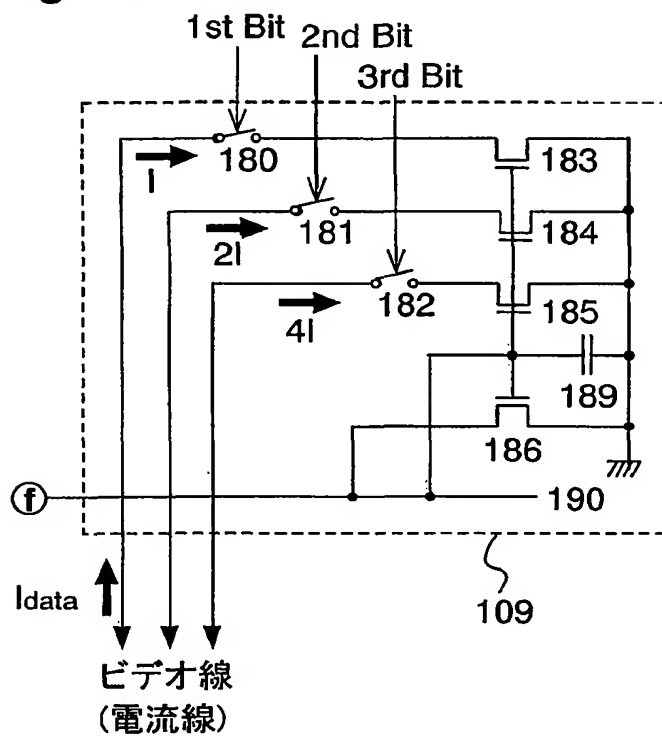


Fig. 42

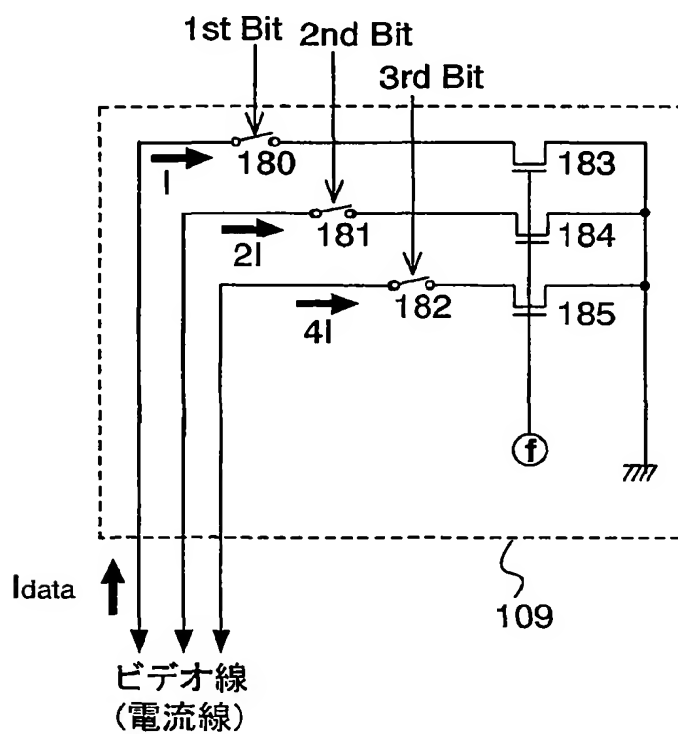


Fig. 43

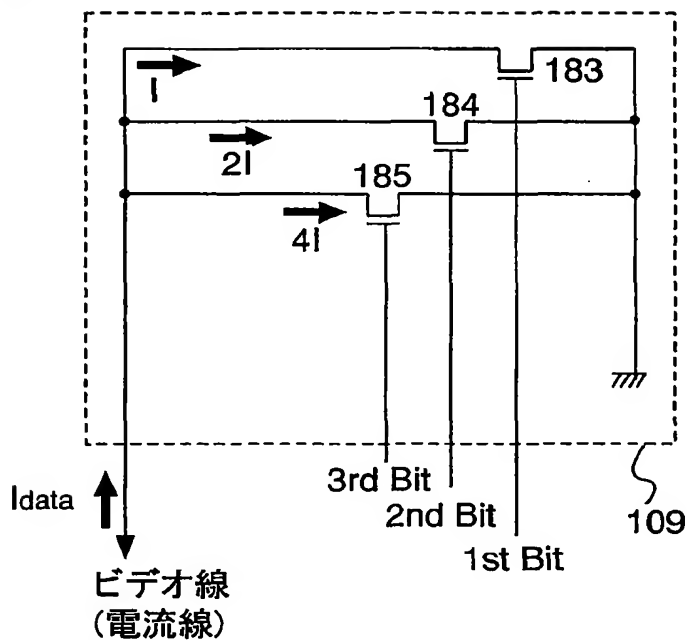
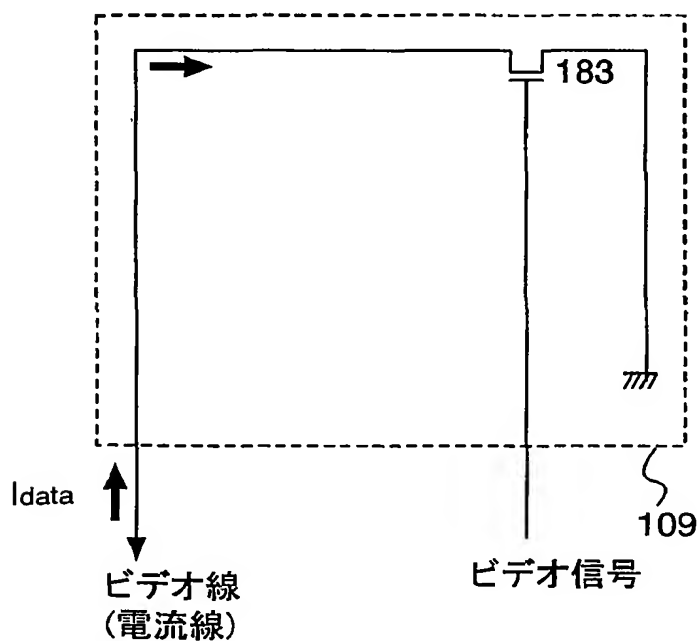
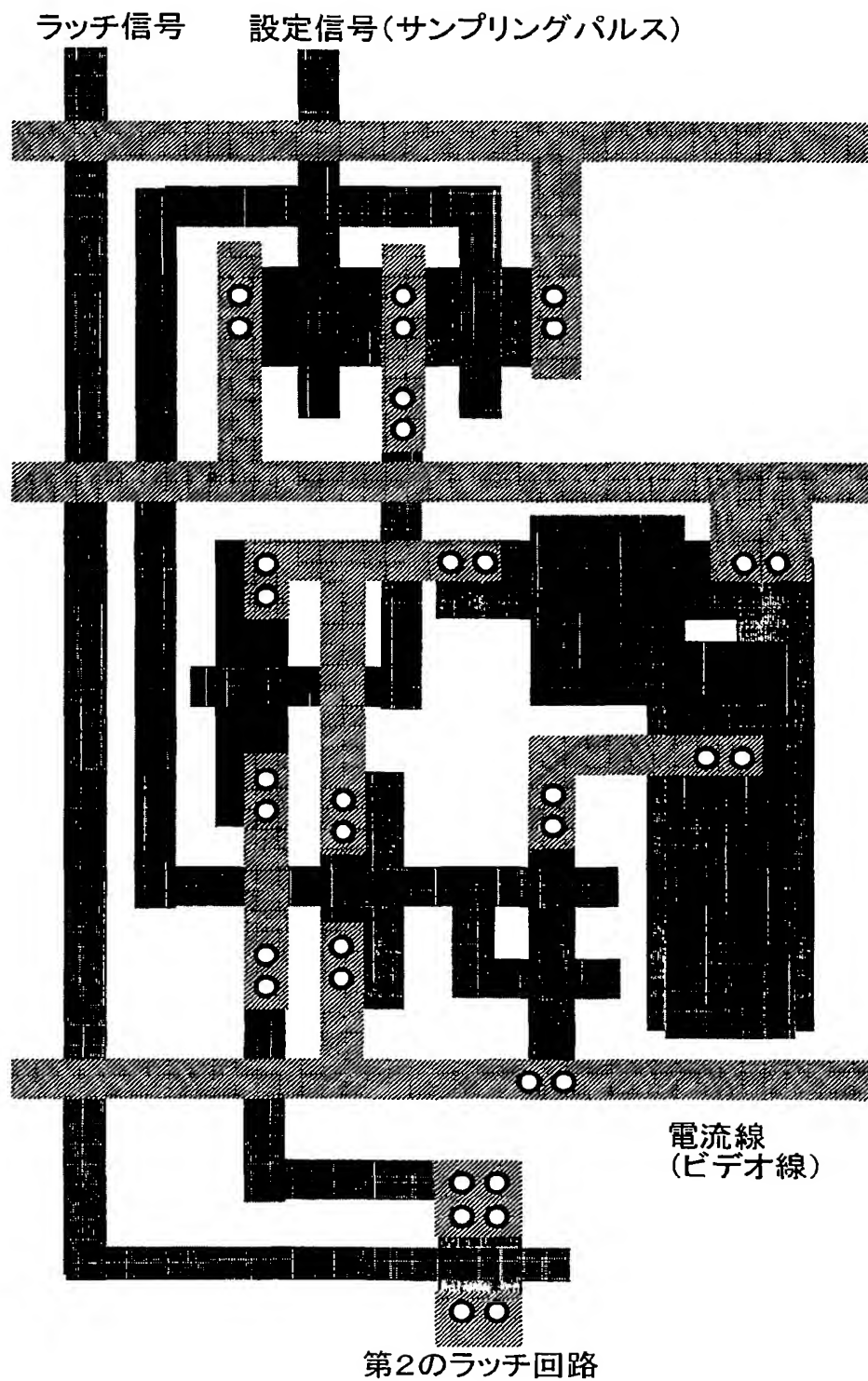


Fig. 44



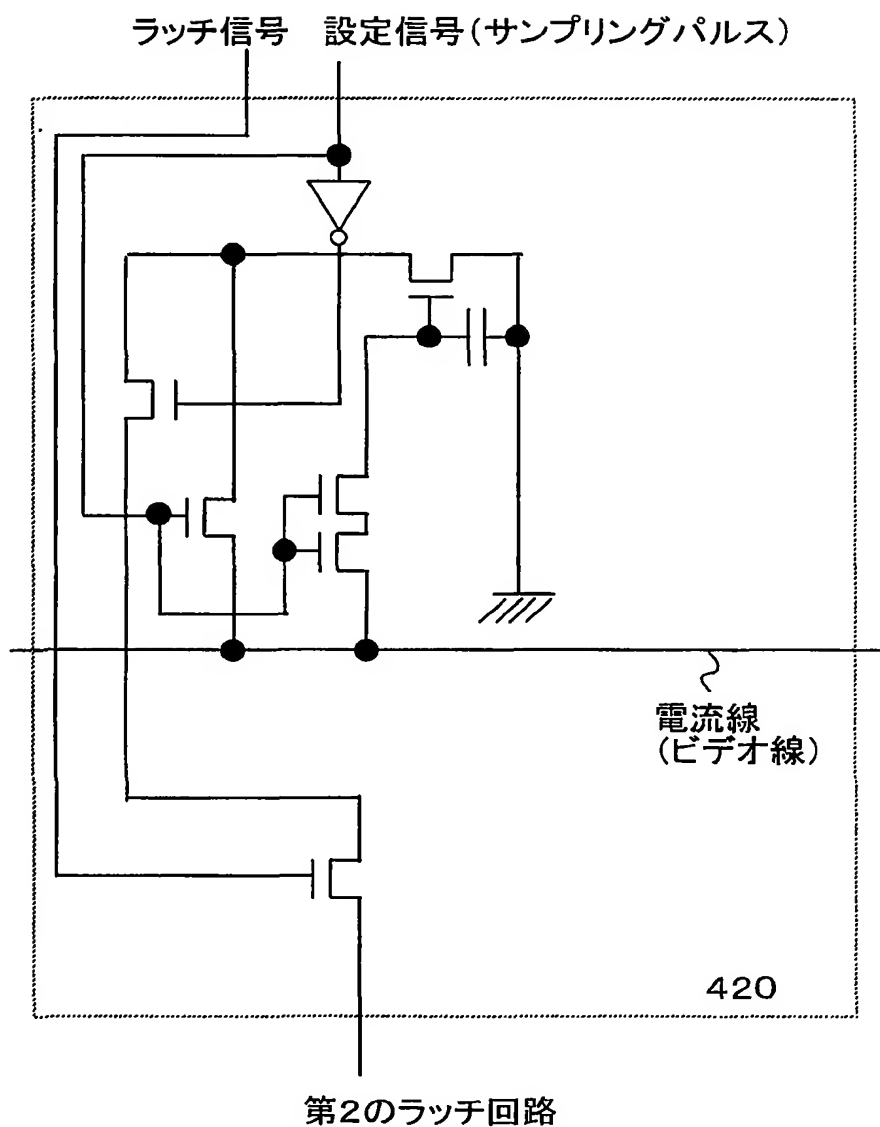
41/42

Fig. 45



42/42

Fig. 46



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11354

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/30, G09G3/20, G05F1/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/30, G09G3/20, G05F1/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JICST

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-106075 A (Sharp Corp.), 23 April, 1996 (23.04.96), Par. Nos. [0039] to [0042]; Fig. 6 (Family: none)	1-17
Y	JP 2000-122607 A (Seiko Epson Corp.), 28 April, 2000 (28.04.00), Par. Nos. [0051] to [0052]; Fig. 4 (Family: none)	1-17
Y	JP 2000-81920 A (Canon Inc.), 21 March, 2000 (21.03.00), Par. Nos. [0005] to [0018]; Figs. 1, 5 & US 6222357 B1	1-5, 7-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
10 February, 2003 (10.02.03)

Date of mailing of the international search report
25 February, 2003 (25.02.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 10861/1986 (Laid-open No. 122488/1987) (Sony Corp.), 04 August, 1987 (04.08.87), Description, pages 6 to 9; Figs. 1 to 4 (Family: none)	1-6, 9, 14-17
Y	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0038] to [0083]; Figs. 1 to 14 & US 6091203 A & KR 99078420 A	1-5, 7-17
Y	JP 8-95522 A (Toppan Printing Co., Ltd.), 12 April, 1996 (12.04.96), Par. Nos. [0007] to [0025]; Figs. 1 to 5 (Family: none)	14

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ G09G3/30, G09G3/20, G05F1/10		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ G09G3/30, G09G3/20, G05F1/10		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) JICST		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-106075 A (シャープ株式会社) 1996. 04. 23 段落番号【0039】-【0042】, 図6 (ファミリーなし)	1-17
Y	JP 2000-122607 A (セイコーエプソン株式会社) 2000. 04. 28 段落番号【0051】-【0052】, 図4 (ファミリーなし)	1-17
<input checked="" type="checkbox"/> C欄の続きにも文献が列举されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 10. 02. 03	国際調査報告の発送日 25.02.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 橋本 直明 印 電話番号 03-3581-1101 内線 3225	

C (続き). 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-81920 A (キャノン株式会社) 2000. 03. 21 段落番号【0005】-【0018】, 図1, 図5 &US 6222357 B1	1-5, 7-17
Y	日本国実用新案登録出願61-10861号 (日本国実用新案登録 出願公開62-122488号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (ソニー株式会社) 1987. 08. 04 明細書第6頁-第9頁、第1図-第4図 (ファミリーなし)	1-6, 9, 14-17
Y	JP 11-282419 A (日本電気株式会社) 1999. 10. 15 段落番号【0038】-【0083】, 図1-図14 &US 6091203 A &KR 99078420 A	1-5, 7-17
Y	JP 8-95522 A (凸版印刷株式会社) 1996. 04. 12 段落番号【0007】-【0025】, 図1-図5 (ファミリーなし)	14